

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 07 月 11 日
Application Date

申請案號：091115470
Application No.

申請人：聯發科技股份有限公司
Applicant(s)

局長
Director-General

陳明邦

發文日期：西元 2002 年 8 月 20 日
Issue Date

發文字號：09111016155
Serial No.

| | |
|-------|-----|
| 申請日期： | 案號： |
| 類別： | |

(以上各欄由本局填註)

發明專利說明書

| | | |
|------------|---------------------|---|
| 一、 發明名稱 | 中 文 | 用於數位通訊系統的傳輸電路 |
| | 英 文 | Transmission Circuit For A Digital Communication System |
| 二、 發明人 | 姓 名 (中文) | 1. 林彥宇 |
| | 姓 名 (英文) | 1. Lin, Yen-Yu |
| | 國 籍 | 1. 中華民國 |
| | 住、居所 | 1. 台北市汀州路三段二十七巷二弄三號二樓 |
| 三、 申請人 | 姓 名 (名稱) (中文) | 1. 聯發科技股份有限公司 |
| | 姓 名 (名稱) (英文) | 1. MediaTek Inc. |
| | 國 籍 | 1. 中華民國 |
| | 住、居所 (事務所) | 1. 新竹市新竹科學工業園區創新一路13號1F |
| | 代表人 姓 名 (中文) | 1. 蔡明介 |
| | 代表人 姓 名 (英文) | 1. Tsai, Ming-Kai |

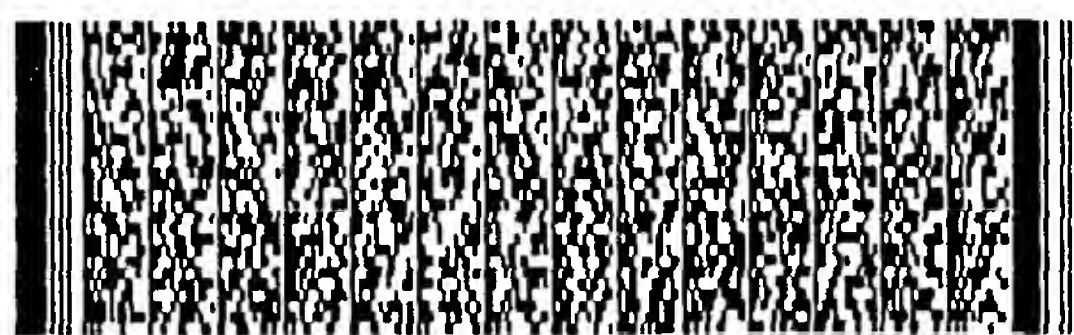


四、中文發明摘要 (發明之名稱：用於數位通訊系統的傳輸電路)

本發明提供一種傳輸電路，用來實現數位通訊系統中傳輸率調整層 (rate adaptation layer) 的功能；該傳輸電路包含有一處理器及一格式轉換電路。該處理器可調整該傳輸電路輸出入數位訊號的傳輸率，該格式轉換電路則用來格式化該傳輸電路的輸出入數位訊號。其中該格式轉換電路包括有複數個輸入單元及輸出單元，各輸出單元用來根據輸入數位訊號接收一位元，各輸出單元用來傳輸一位元以形成數位輸出訊號；而各輸入單元及輸出單元間係以電路直接電連接，以實現位元順序重組 (reordering)、指令插入等資料格式轉換的功能。

英文發明摘要 (發明之名稱：Transmission Circuit For A Digital Communication System)

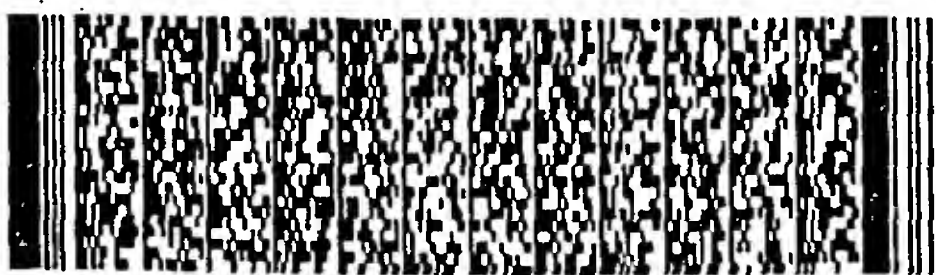
A transmission circuit for realizing a rate adaptation layer of a digital communication system is disclosed. The transmission circuit includes a processor and a format conversion circuit. The processor is capable of managing transmission rates of an input and output digital signals of the digital communication system. The format conversion circuit includes a plurality of input units and output units; each input unit is for receiving a bit according to the input digital



四、中文發明摘要 (發明之名稱：用於數位通訊系統的傳輸電路)

英文發明摘要 (發明之名稱：Transmission Circuit For A Digital Communication System)

signal, and each output unit is for transmitting a bit to form the output signal. Each input unit and output unit are connected by hardware wires to realize data formatting such as bit-reordering, command insertion.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

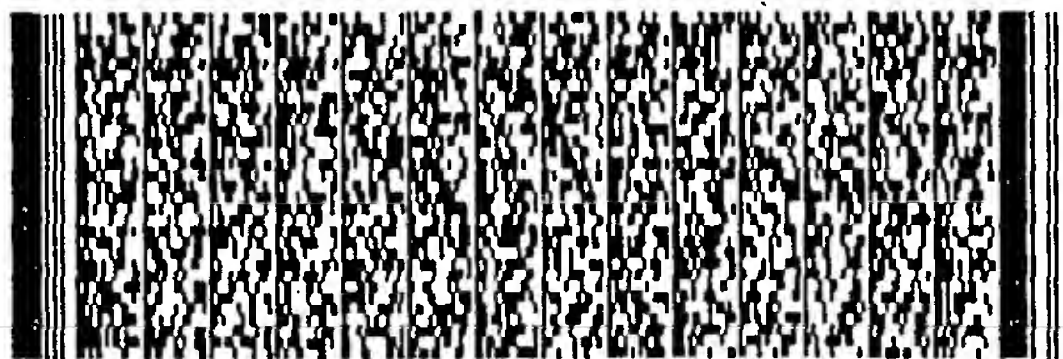
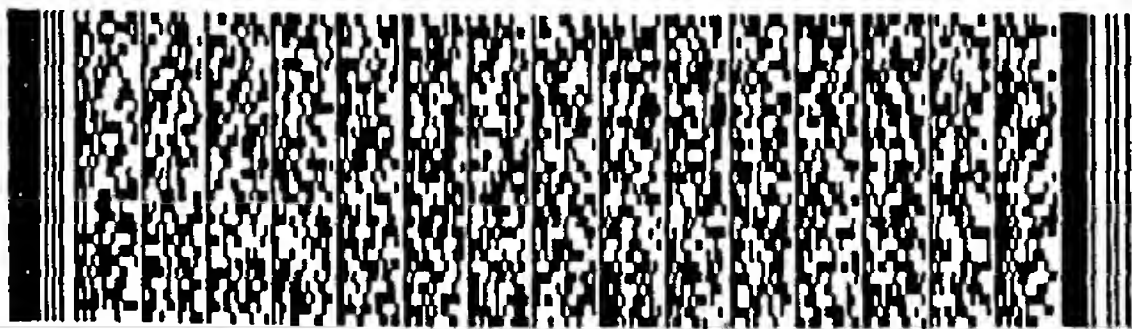
發明之領域：

本發明係提供一種用於一數位通訊系統的傳輸電路，尤指一種以硬體電路加速資料格式轉換來實現傳輸率調整層功能的傳輸電路。

背景說明：

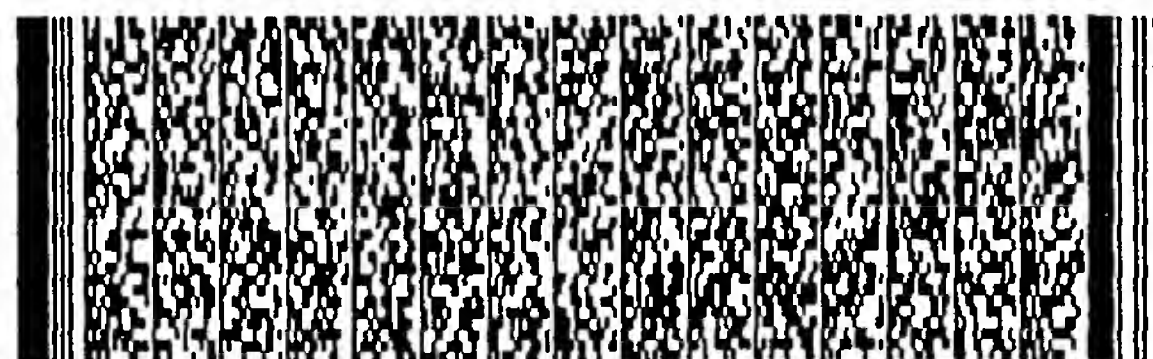
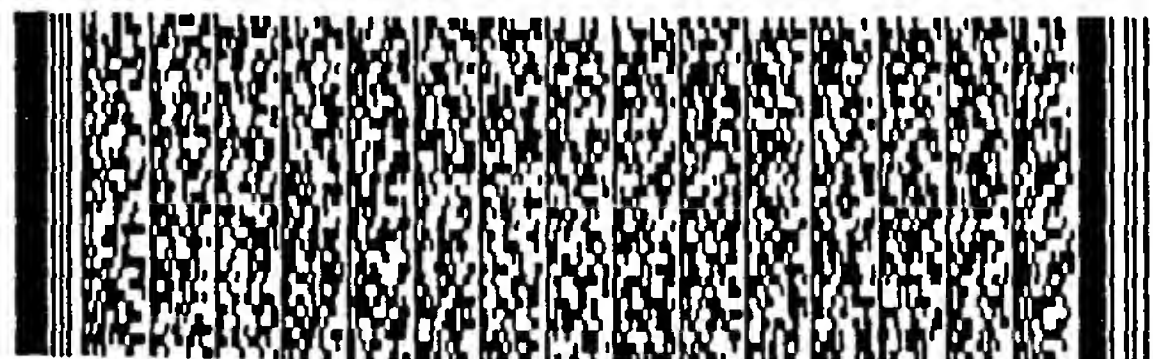
數位化的通訊系統，能以有線或無線的方式將數位訊號迅速確實地傳遞，促進人際溝通、訊息流通與知識交換，所以已經成為現代資訊社會最重要的基礎之一。提升數位通訊系統中各種數位電路處理數位訊號的能力，也是當前資訊產業致力研發的重點。

請參考圖一。圖一為一典型數位通訊系統10中，數位資料傳輸流程的示意圖。數位通訊系統10可以是GSM(Global System for Mobile Communications)的無線手機數位系統。在數位通訊系統10中，設有不同的邏輯架構層，用來實現完整的數位通訊功能；這些邏輯架構層包括有高層協定12、實體層(physical layer)14、傳輸率調整層(rate adaptation layer)16、以及後續的無線電傳輸網路18。高層協定12中包含有手機中的驅動程式、AT指令轉譯程式(interpreter)等等。當使用者要透過數位通訊系統10將資料以無線電方式傳輸出去時，會先由高層協



五、發明說明 (2)

定 12 來處理資料傳輸的位址、傳輸格式及相關協定等，並依據不同的資料型態，分別進行對應的處理，再傳送至實體層 14。像在圖一中的例子，就繪出了三種不同型態的資料，也就是穿透資料 (transparent data) 20A、傳真資料 (fax data) 20B 以及非穿透資料 (non-transparent data) 20C。同時，傳輸訊號時相關的傳輸指令 20D 也會被傳輸至實體層 14。實體層 14 會進一步處理各資料，以使用無線電的方式將資料傳輸至無線電傳輸網路 18。不過，由於不同型態的資料會以不同的傳輸率（也就是單位時間中能傳輸的位元或資料量）傳輸於高層協定 12 及實體層 14，以無線電方式將資料傳輸出去之前，要對各種不同傳輸率的資料進行資料緩衝、格式轉換的處理，使得不同傳輸率的資料能以統一的傳輸率傳輸至無線電傳輸網路 18；而數位通訊系統 10 中的傳輸率調整層 (rate adaptation layer) 16 就是用來協調不同傳輸率的不同型態資料，使其具有統一的傳輸率。在傳輸率調整層 16 中，係以不同的格式轉換 / 資料緩衝模式 22A、22B、22C，來分別處理穿透資料 20A、傳真資料 20B 及非穿透資料 20C，最後並將指令 20D 透過格式轉換 24 加入各型態的資料中，變成傳輸率統一的資料流，由無線電傳輸網路 18 傳輸出去。舉例來說，在 GSM 系統中，處理穿透資料 20A 的格式轉換 / 資料緩衝處理 22A，其包括有 RA0 轉換函數 (function) 及編碼 (encoding)；格式轉換 / 資料緩衝處理 22B 中則包括有 T30' 轉換函數及位元反序 (bit reversal)；處理非穿透資料



五、發明說明 (3)

20C的格式轉換/資料緩衝處理 22C則包含有 RLP+FCS轉換；而格式轉換 24中則設有 RA1'轉換函數。以 RA0轉換函數來說，穿透資料 20A可能是以每秒 300、1200、2400、4800、9600、14.4k (14400) 位元的傳輸率輸入至傳輸率調整層 16。假設輸入至傳輸率調整層 16的資料依序為 D1、D2...至 D8八筆數位資料，且以每秒 2400、4800、9600、14.4k位元的傳輸率輸入，則 RA0轉換函數會依序輸出為 St、D1、D2、D3、D4、D5、D8、D7、D8、Sp的位元流；其中 St、Sp為特殊的指令。若資料是以每秒 1200位元的較慢傳輸率輸入至傳輸率調整層 16，則 RA0轉換函數會輸出為 St、St、D1、D1、D2、D2、D3、D3、D4、D4、D5、D5、D6、D6、D7、D7、D8、D8、Sp、Sp的位元流；換句話說，若資料以較慢的傳輸率輸入至傳輸率調整層 16，傳輸率調整層 16會將某些資料重複，以產生出傳輸率較高的資料。若資料是以更慢的每秒 300位元的傳輸率傳輸至傳輸率調整層，RA0轉換函數資料重複的次數會更多。

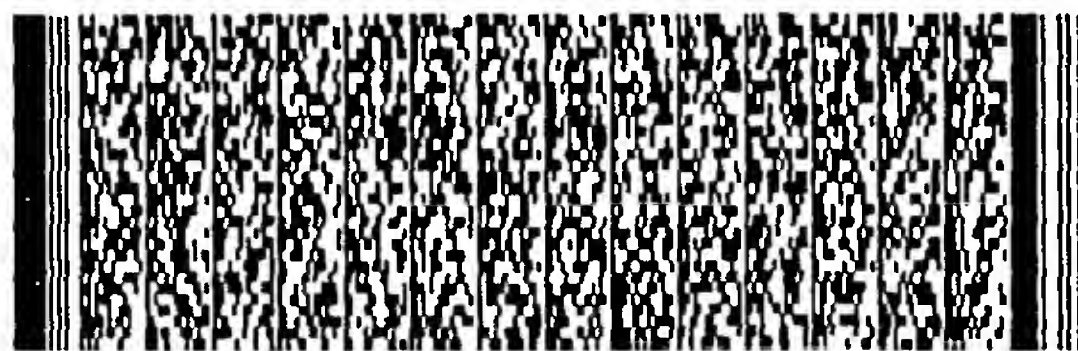
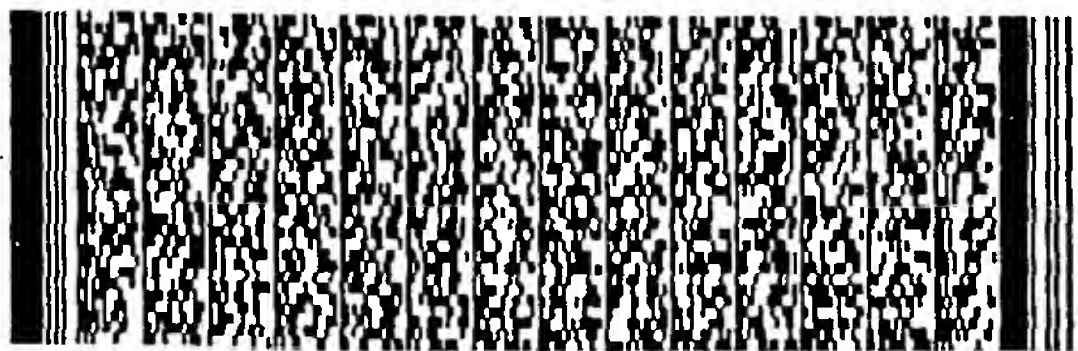
除了緩衝不同傳輸率的資料，傳輸率調整層 16還要同時對輸入的資料進行必要的資料格式轉換，再將格式轉換後的資料輸出。請參考圖二 A至圖二 D。圖二 A至圖二 D分別為四種不同的資料格式轉換之示意圖；其中資料 A為待轉換的資料，資料 B為資料格式轉換後的資料；而位元 A0、A1、...至 A7為資料 A的各個位元，其中位元 A0可視為資料的首要位元 (Most Significant Bit, MSB)。同理，位元



五、發明說明 (4)

B0、B1、... 為資料 B 的各個位元，位元 B0 為資料 B 的首要位元。傳輸率調整層 16 基本的資料格式轉換包括有四種型態，配合圖二 A 至圖二 D，可分別描述如下：

- (1) 調整待轉換資料中各位元排列的順序，形成轉換後資料的位元。舉例來說，如圖二 A 所示，格式轉換後的資料 B，其第一個位元 B0 為資料 A 的位元 A5；位元 B1 為資料 A 的位元 A3，以此類推。最後，資料 B 的位元 B7 就等於資料 A 的位元 A4。
- (2) 在待轉換資料中插入另外的資料或指令位元以形成轉換後資料。如圖二 B 中的例子所示，是在資料格式轉換後的資料 B 中插入了兩個控制位元 C0、C1，分別做為位元 B4、B8。
- (3) 將待轉換資料去除部分做為格式轉換後的資料。舉例來說，如圖二 C 所示，格式轉換後的資料 B 中僅對應於資料 A 中的位元 A1 至 A6；位元 A0、A7 被捨棄。
- (4) 將待轉換資料做處理運算後，將所得的結果插入至格式轉換後的資料。如圖二 D 所示，在格式轉換後的資料 B 中，除了位元 B0 至 B7 分別對應於資料 A 的位元 A0 至 A7，還可將資料 A 中的各位元進行邏輯運算 OP，再將運算的結果插入資料 B 中。舉例來說，邏輯運算 OP 可對資料 A 進行同位檢查 (parity check)，並將算出來的同位檢查位元插入資料 B 中。在圖二 D 的例子中，邏輯運算 OP 的結果變成資料 B 的位元 B8。當然，邏輯運算 OP 的結果也可插入至資料 B 的其他位置。



五、發明說明 (5)

在習知的數位通訊系統中，是以微處理器 (micro controller) 來實現傳輸率調整層的資料緩衝、格式轉換的功能。在資料緩衝的部分，微處理器可將傳輸率較慢的輸入資料重複，或插入指令或其他位元，以產生傳輸率較快的輸出資料；若輸入至傳輸率調整層的資料，其傳輸率並非常數（也就是有時以高傳輸率輸入，有時以低傳輸率輸入），微處理器也可以用記憶體暫存某些輸入的資料，使得傳輸率調整層輸出的資料能有均一的傳輸率。在資料格式轉換的功能方面，習知技術中的微處理器則是依據預設之指令集所寫成的程式，來進行資料格式轉換。一般而言，微處理器中的指令集是以暫存器中位元平移

(shift)、各位元邏輯運算等功能來組合出資料格式轉換所需的運作。舉例來說，當習知的微處理器要進行圖二 A 中的資料格式轉換，以便將資料 A 的各位元 [A7、A6、A5、A4、A3、A2、A1、A0] 轉換為資料 B 中的各位元 [A4、A0、A7、A1、A6、A2、A3、A5] 時，就要進行下列的步驟：

步驟 1：將一目的暫存器 AR 的各個位元設為 0。

步驟 2：將資料 A 複製至另一個暫存器 BR 中。

步驟 3：以位元及運算 (AND) 的方式，將暫存器 BR 中的位元 A7 至 A1 遮去 (mask)，也就是將暫存器 BR 中的位元 [A7、A6、A5、A4、A3、A2、A1、A0] 分別與一遮罩資料 [0、0、0、0、0、0、0、1] 進行及運算，得到 [0、0、0、0、0、0、0、A0]。

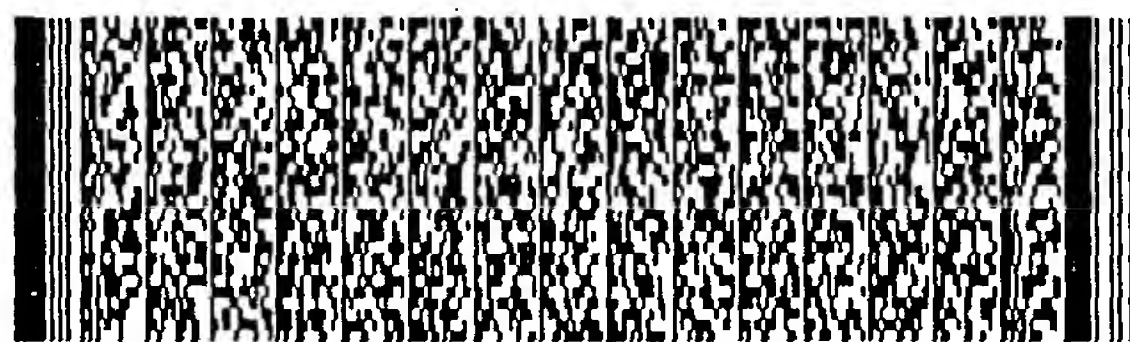
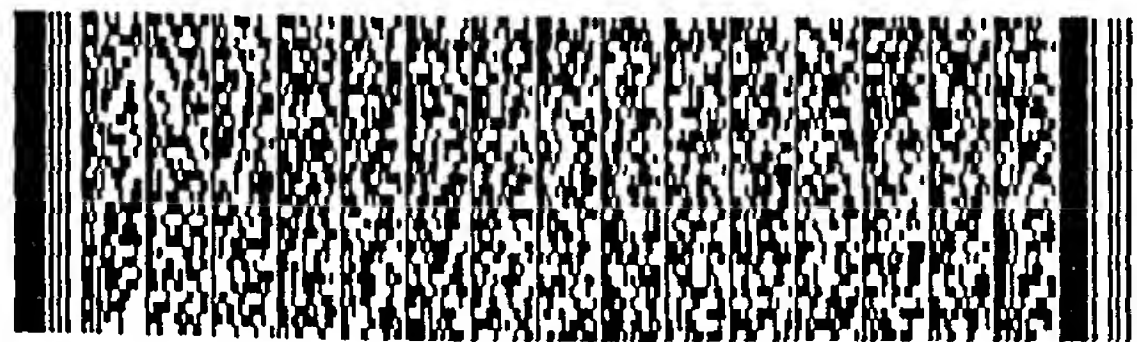
五、發明說明 (6)

步驟 4: 以位元平移的方式將暫存器 BR 中的位元移動為
[0、A0、0、0、0、0、0、0];

步驟 5: 再將暫存器 BR 和目的暫存器 AR 的各個位元分別進行或運算 (OR)，使得目的暫存器 AR 中變成 [0、A0、0、0、0、0、0、0]，完成對單一位元的移動。

針對資料 A 中其他位元重複上述的步驟 1 至 4 (在步驟 3 中以不同的遮罩資料、步驟 4 中將位元移至不同的位置)，就能完成圖二 A 中的資料格式轉換。其他種類的資料格式轉換也可由類似步驟來達成。

當要進行資料緩衝處理、調整傳輸率時，需涉及許多邏輯判斷及運算，必須以微處理器來進行。但在習知技術中，資料格式之轉換也需由微處理器依照指令集程式來進行；由於微處理器基本指令集無法直接描述資料格式轉換，就必須要以繁複的步驟才能完成資料格式轉換。就如上述所描述的，在習知技術中，僅僅移動一個位元，就要進行上述的步驟 1 至 4，各步驟中也還有許多細節要進行 (像是步驟 4 中，微處理器每一運作時脈週期中，僅能將一位元平移一個位置)。要以習知的方式來達成資料格式轉換，就會耗費許多時間及微處理器資源。由於現代數位通訊的資料流量漸增，對處理速度的要求也變得更嚴格；以習知的指令集程式配合微處理器來進行資料格式轉換，勢必難以應付現代數位訊系統對資料處理效率的高要求。



五、發明說明 (7)

發明概述：

因此，本發明之主要目的，在於提供一種以硬體電路直接實現傳輸率調整層中資料格式轉換的傳輸電路，以解決習知技術的缺點。

在習知技術中，數位通訊系統中傳輸率調整層的資料格式轉換，是以微處理機依據指令集程式來進行的，由於指令集無法直接描述資料格式轉換，必須要以繁複的指令步驟才能完成資料格式轉換，也造成資料格式轉換的效率低落、佔用大量微處理器的資源。要儲存資料格式轉換的繁複程式，也要佔用相當的記憶空間。

在本發明中，則是另設有一格式轉換電路，以硬體的方方式來進行資料格式轉換。本發明中的格式轉換電路是以微處理線佈線安排的方式來直接進行資料格式轉換，不需以微處理器來進行資料格式轉換，一方面大幅減少資料格式轉換所佔用的微處理器資源，增加資料格式轉換的效率及處理速度，一方面也不需儲存資料格式轉換的程式，節省記憶空間。而本發明中資料緩衝的功能則是以微處理器來實現。

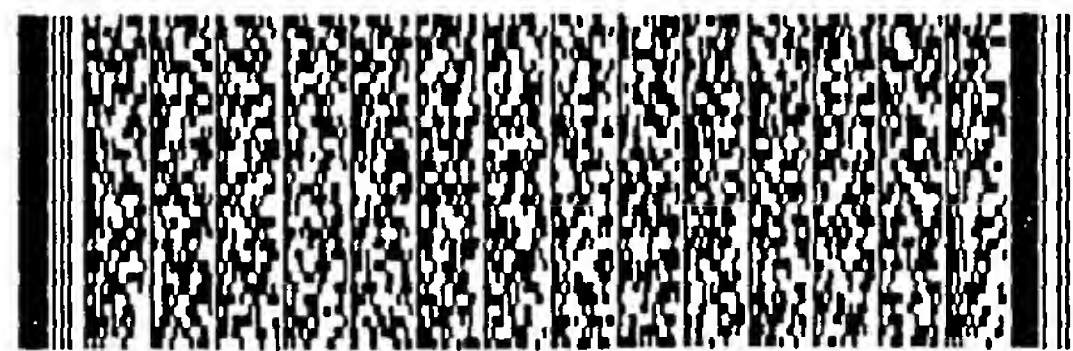
發明之詳細說明：



五、發明說明 (8)

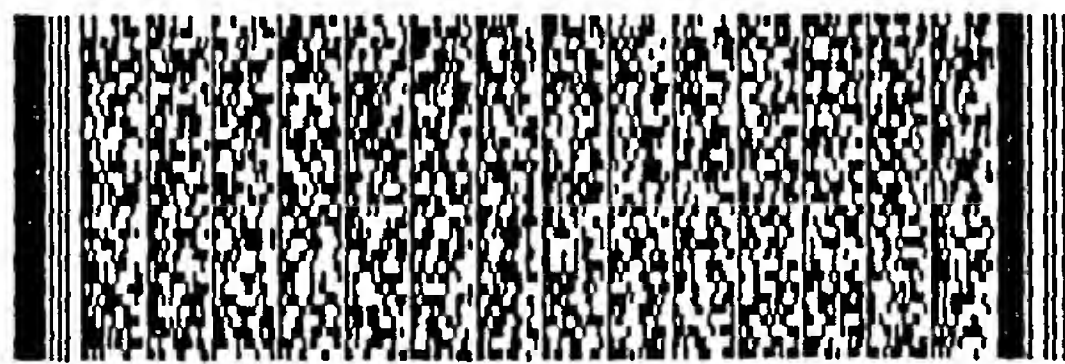
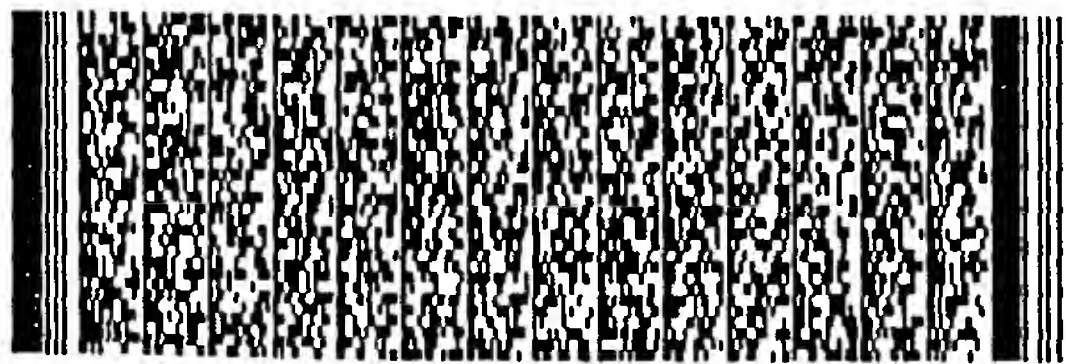
請參考圖三。圖三為本發明用來實現數位通訊系統中傳輸率調整層功能的傳輸電路 30。在傳輸電路 30 中，設有一處理器 32A 及一格式轉換電路 32B；處理器 32A 與格式轉換電路 32B 間可以用一匯流排 34（或其他可交換訊號的電路）在兩者間傳輸訊號。處理器 32A 用來處理資料緩衝、調節輸出入訊號間相異的傳輸率；格式轉換電路 32B 則專門用來以硬體電路來實現資料格式轉換的功能。當有資料要輸入至傳輸率調整層時，可經由匯流排 34 傳入處理器 32A，也就是圖三中的輸入資料 36A。處理器 32A 接收輸入資料 36A 後，會將需要格式轉換的部分形成待轉換資料 38A，傳輸至格式轉換電路 32B，並藉由轉換控制訊號 40 來控制格式轉換電路 32B，進行必要的資料格式轉換。格式轉換電路 32B 對待轉換資料 38A 完成資料格式轉換後，就會形成轉換後資料 38B 回傳至處理器 32A；處理器 32A 進行資料緩衝、調整傳輸率之後，就能對應地產生輸出資料 36B，由匯流排 34 輸出，完成傳輸率調整層的功能。

本發明中的格式轉換電路 32B 可以有許多種不同的實施方式。請參考圖四（並同時參考圖三）；圖四為本發明格式轉換電路 32B 一實施例 42A 的功能方塊示意圖。如前所述，在傳輸率調整層中的資料格式轉換有四種基本的型態，格式轉換電路 42A 就是以四個子格式轉換電路 F1 至 F4 來，分別進行這四種型態的資料格式轉換；此外，格式轉



五、發明說明 (9)

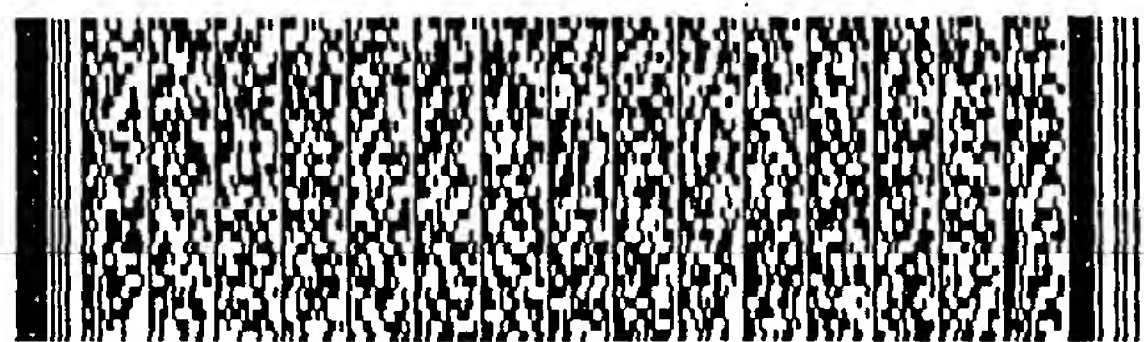
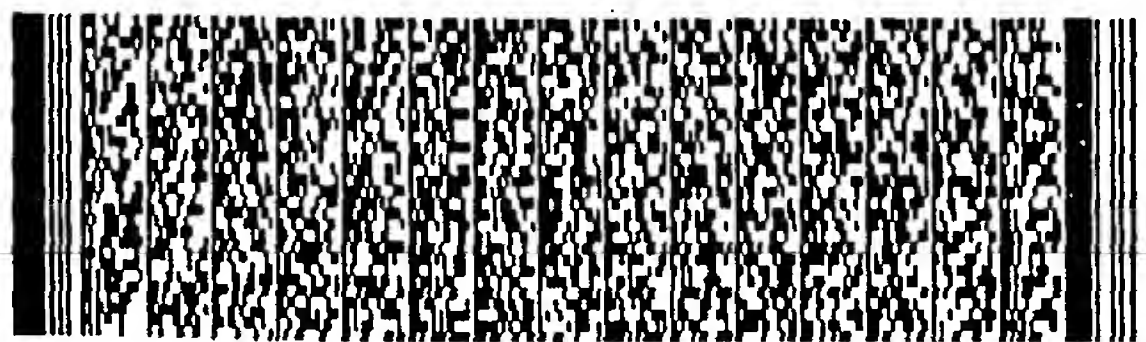
換電路 42A 還設有兩個解碼器 (decoder) 46A、46B。如圖三所示，處理器 32A 會將待轉換資料 38A、轉換控制訊號 40 傳輸至格式轉換電路中以進行資料格式轉換，並接收格式轉換電路輸出的轉換後資料 38B。在格式轉換電路 42A 中，待轉換資料 38A 分別傳輸至子格式轉換電路 F1 至 F4；轉換控制訊號 40 中則包括了一時脈 clk、用來選擇四種資料格式轉換型態的位元 Cr0、Cr1、Cw0、Cw1、以及其他必要的控制資料 40C。其中，時脈 clk 用來協調資料傳輸；位元 Cr0、Cr1 則會輸入至解碼器 46A 中，產生出四個致能訊號 bus_r1 至 bus_r4。如圖四所示，這些致能訊號分別對應於一個子格式轉換電路，一個致能訊號可使一子格式轉換電路運作而接收待轉換資料 38A，以執行特定型態的資料格式轉換。同理，位元 Cw0、Cw1 也會輸入至解碼器 46B 中，產生出另外四個致能訊號 bus_w1 至 bus_w4；這些致能訊號也各自對應於一個子格式轉換電路；一個致能訊號能控制一個子格式轉換電路將資料格式轉換後的結果（也就是轉換後資料 38B）輸出至匯流排。舉例來說，若要以子格式轉換電路 F1 來進行一特定的資料格式轉換，處理器 32A 就能將位元 Cr0、Cr1 分別設成 0、0，使致能訊號 bus_r1 為 1（高位準），其他致能訊號 bus_r2 至 bus_r4 為 0（低位準）。致能訊號 bus_r1 會將子格式轉換電路 F1 致能，並接收待轉換資料 38A 開始進行資料格式轉換；而子格式轉換電路 F2 至 F4 會分別因為致能訊號 bus_r2 至 bus_r4 為 0 而不進行資料格式轉換。同時，處理器 32B 也會將位元 Cw0、Cw1



五、發明說明 (10)

設成 0、0，使致能訊號 bus_w1 為 1，以控制子格式轉換電路 F1 將資料格式轉換後的結果輸出至匯流排上，形成轉換後資料 38B；而其他為 0 的致能訊號 bus_w2 至 bus_w4 會分別使子格式轉換電路 F2 至 F4 不會傳輸資料至匯流排上。改變位元 Cr0、Cr1 以及 Cw0、Cw1 的值，就能以不同的子格式轉換電路來進行不同型態的資料格式轉換。

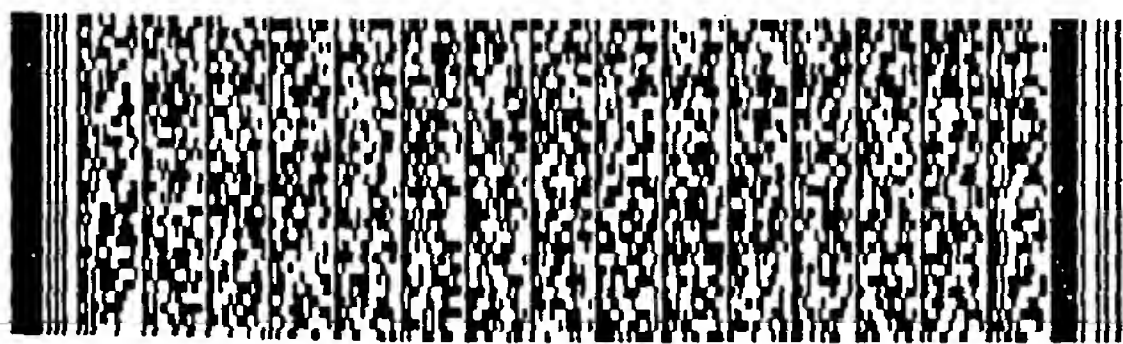
至於圖四中各子格式轉換電路 F1 至 F4 的電路示意圖，則分別示於圖五 A 至圖五 D。圖五 A 至圖五 D 的四個子格式轉換電路 F1 至 F4，即是分別用來進行圖二 A 至圖二 D 的四種資料格式轉換。現以圖五 A 為例來說明各個子格式轉換電路的基本電路結構。請參考圖五 A；圖五 A 的子格式轉換電路 F1 設有複數個輸入單元 50A 及複數個輸出單元 50B；各輸入單元 50A 分別用來接收待轉換資料的一個位元（也就是位元 A0 至 A7），各輸出單元 50B 則分別用來傳輸轉換後資料的一個位元（也就是位元 B0 至 B7）。各輸入單元 50A 及輸出單元 50B 間則以線路佈線連接形成一位元控制電路 56A。各輸入單元 50A 中設有一多工器 54 及一正反器 (flip-flop) 52；其中多工器 54 設有一選擇端 54C 及兩個輸入端（分別標示為 0，1），一輸入端用來接收一個待轉換資料的位元，選擇端 54C 則接受致能訊號 bus_r1 的控制，而多工器 54 之輸出端則連接於正反器 52。正反器 52 設有一時脈端 52T，用來接受時脈 clk 的控制。位元控制電路 56A 是以線路佈設的方式來連接特定的輸入單元 50A 及輸出單元 50B，



五、發明說明 (11)

以直接完成資料格式轉換。輸出單元 50B 可以用及閘 (AND gate) 來實現，各輸出單元 50B 是將位元控制電路 50C 傳來的資料和致能訊號 bus_w1 做及運算。

圖五 A 中的子格式轉換電路 F1 工作的情形可描述如下。當處理器 32B 以位元 $Cr0$ 、 $Cr1$ (請參考圖四) 透過解碼器 46A 將致能訊號 bus_r1 變為 1 後，各輸入單元 50A 就會由各自的多工器將待轉換資料的各個位元 $A0$ 至 $A7$ 讀入，並配合透過正反器的時脈 clk 之控制，將各位元同時傳輸至位元控制電路 56A；位元控制電路 56A 是以電路布設的方式直接將各輸入單元 50A 的位元傳輸至對應的輸出單元 50B，以直接達成資料格式轉換的目的。像是圖五 A 中位元控制電路 56A 的佈線，就能直接達成圖二 A 中改變位元順序的資料格式轉換 (像是將待轉換資料的位元 $A0$ 變成轉換後資料的位元 $B6$ ，等等)，不必再經由繁複的微處理器指令集程式來達成。當處理器 32B 以位元 $Cw0$ 、 $Cw1$ (見圖四) 透過解碼器 46B 將致能訊號 bus_w1 變為 1 後，子格式轉換電路 50B 就能由各輸出單元 50B 來輸出轉換後資料的各個位元 $B0$ 至 $B7$ 。由子格式轉換電路 F1 的電路可知，位元 $A0$ 至 $A7$ 能經由各輸入單元 50A 同時 (在時脈 clk 的同一個週期中) 透過位元控制電路 56A 平行傳輸至各個對應的輸出單元 50B，得到轉換後資料的各個位元 $B0$ 至 $B7$ 。相較之下，習知技術中以微處理器來進行資料格式轉換，就需要耗費許多時脈週期才能完成繁複的指令集程式；舉例來說，僅僅將單一位

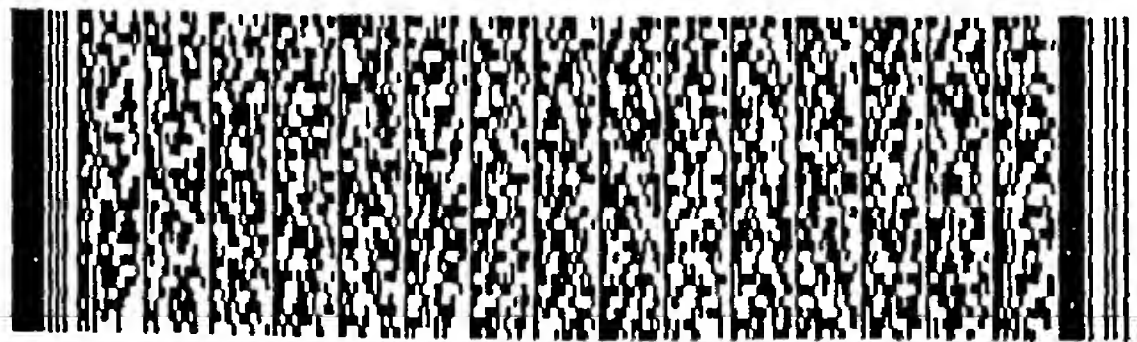


五、發明說明 (12)

元在暫存器中平移一個位置，就需要一個時脈週期的時間；要完成前面討論過的習知資料格式轉換步驟 1 至 4，勢必要耗費數十個以上的時脈週期。

請參考圖五 B。圖五 B 中的子格式轉換電路 F2 是用來實現圖二 B 中的資料格式轉換，將兩個控制位元 C0、C1 插入至轉換後資料中。子格式轉換電路 F2 中的輸入單元 50A、輸出單元 50B 與圖五 B 中的同名元件構造相同，其配合致能訊號 bus_r2、bus_w2 及時脈 clk 以接收待轉換資料之位元 A0 至 A7、傳輸轉換後資料之位元 B0 至 B9 等的工作情形也能同理類推，在不妨礙本發明技術揭露的情形下，於此不再贅述。在圖五 B 中的位元控制電路 56B 中，除了依照資料格式轉換的需要將各輸出單元連接於對應的輸入單元，並另以位元傳輸電路 58 來將資料格式轉換的控制位元 C0、C1 分別傳輸至位元 B4、B8，以便將這兩個控制位元插入至轉換後資料中。控制位元 C0、C1 可歸類於轉換控制訊號 40 中的控制資料 40C（如圖四所示）。

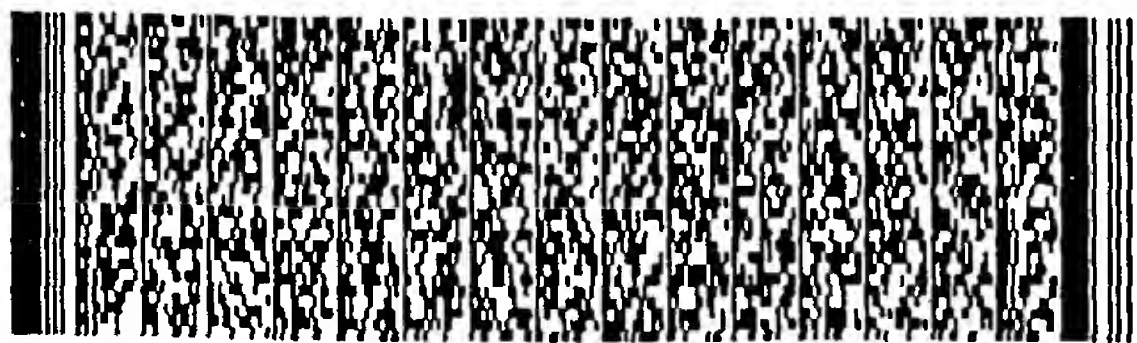
同理，圖五 C、五 D 中的子格式轉換電路 F3 及子格式轉換電路 F4，則是以輸入單元 50A 分別配合致能訊號 bus_r3、bus_r4 及時脈 clk 來接收待轉換電路的各個位元，並分別根據致能訊號 bus_w3、bus_w4 的控制以輸出單元 50B 將轉換後資料的各個位元傳輸出去。圖五 C 中的位元控制電路 56C 能實現圖二 C 中的資料格式轉換；圖五 D 中的



五、發明說明 (13)

位元控制電路 56D 則能實現圖二 D 中的資料格式轉換。其中，位元控制電路 56D 另設有一運算電路 OP1，運算電路 OP1 由各輸入單元接收待轉換資料的位元 A0 至 A7 後，會依照預設的邏輯運算法則得到運算結果，並插入至轉換後資料中。像是圖五 D 中的運算電路 OP1 就是將運算的結果傳輸至位元 B8 對應的輸出單元，以便將運算的結果插入至轉換後資料中。若有必要的話，也可用控制資料 40C 中的其他指令資料來控制運算電路 OP1 所進行的邏輯運算（例如：以不同的指令資料使運算電路 OP1 進行不同的邏輯運算）。

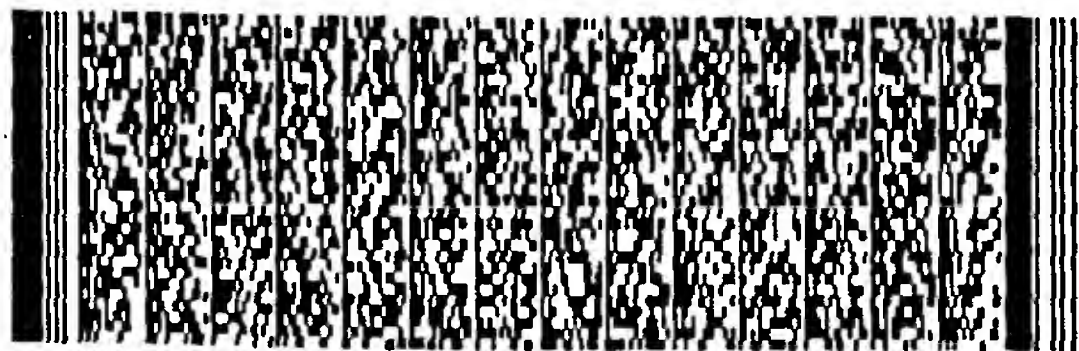
請參考圖六。圖六為本發明中格式轉換電路另一實施例 42B 的電路示意圖。格式轉換電路 42B 中設有兩個子格式轉換電路 F13、F24；各個格式轉換電路能執行兩種資料格式轉換。類似於圖四中的格式轉換電路 42A，格式轉換電路 42B 也是以兩個解碼器 46C、46D 分別根據轉換控制訊號 40 中的位元 Cr2、Cw2 來產生致能訊號 bus_r13、bus_r24、bus_w13 以及 bus_w24。時脈 clk 用來控制待轉換資料 38A、轉換後資料 38B 的傳輸。而由於本實施例中子格式轉換電路 F13、F24 分別可進行兩種不同的資料格式轉換，故轉換控制訊號 40 中還有另一位元 Cs 來控制各個子格式轉換電路要進行哪一種資料格式轉換。在以下討論的實施例中，子格式轉換電路 F13 能進行圖二 A、圖二 C 中的兩種資料格式轉換；子格式轉換電路 F24 能進行圖二 B、二 D 中的兩種資



五、發明說明 (14)

料格式轉換。格式轉換電路 42B 工作的原理可描述如下。舉例來說，當處理器 32A 要以子格式轉換電路 F24 進行圖二 D 中的資料格式轉換時，可將轉換控制訊號 40 中的位元 Cr2、Cw2 均設為 1，使致能訊號 bus_r24、bus_w24 為 1（其他致能訊號為 0），控制子格式轉換電路 F24 接收待轉換資料 38A。而位元 Cs 也可設為 1，控制子格式轉換電路 F24 進行圖二 D 中的資料格式轉換。最後，致能訊號 bus_w24 可控制子格式轉換電路 F24 將轉換後資料 38B 輸出。

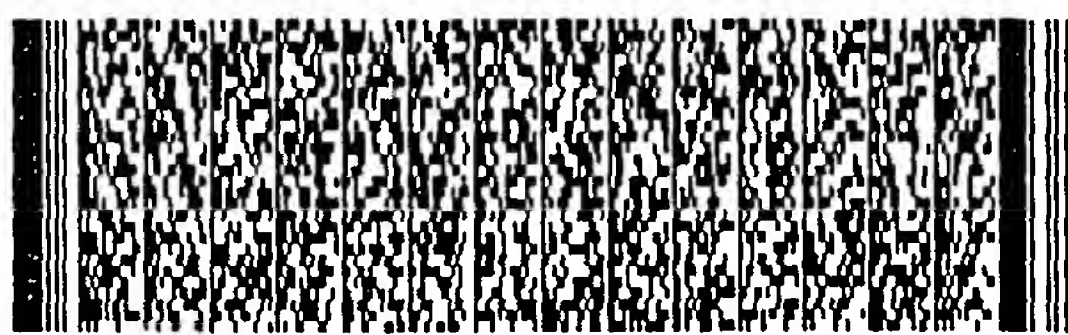
請繼續參考圖七 A、圖七 B。圖七 A、七 B 分別是子格式轉換電路 F13、F24 的電路示意圖。如圖七 A 所示，類似於子格式轉換電路 F1 至 F4，子格式轉換電路 F13 也是以輸入單元 50A 配合致能訊號 bus_r13 及時脈 clk 來接收待轉換資料的各個位元 A0 至 A7；輸出單元 50B 則配合致能訊號 bus_w13 來將轉換後資料的各個位元 B0 至 B7 傳輸出去。而位元控制電路 58A 則用來以佈線方式將各個輸入單元接收的位元傳輸到對應的輸出單元。與子格式轉換電路 F1 至 F4 不同的是，位元控制電路 58A 中另設有複數個多工器 62，各多工器 62 有兩個輸入端（分別標示為 0、1）、一個用來接收位元 Cs 控制的選擇端 62C 以及一個連接於一輸出單元的輸出端。當位元 Cs 為 0 時，各多工器會將標示為 0 之輸入端的位元傳輸至對應的輸出單元；位元 Cs 為 1 時，輸入至標示為 1 輸入端的位元會被傳輸至對應的輸出單元。利用多工器 62 的選擇功能，就可在位元控制電路 58A 中同時布



五、發明說明 (15)

設能實現圖二 A、圖二 C中功能的線路。舉例來說，在圖二 A中，位元 B0等於位元 A5，所以位元 B0輸出單元對應的多工器 62，其標示為 0 的輸入端就用來接收位元 A5；以此類推，位元 B7等於位元 A4，則位元 B7輸出單元對應的多工器 62，其標示為 0 的輸入端就用來接收位元 A4。換句話說，當位元 Cs為 0 時，位元控制電路 58A 中形成的線路連接就能實現圖二 A 中的資料格式轉換。另一方面，在圖二 C 中，位元 B0 就等於位元 A1，位元 B5 則等於位元 A6，故位元 B0、B5 輸出單元對應多工器標示為 1 之輸出端，就分別用來接收位元 A1、A6。由於在圖二 C 中轉換後資料僅有位元 B0 至 B5，圖七 A 中位元 B6、B7 輸出單元對應之多工器，其標示為 1 之輸出端就連接至地端 GND。這樣一來，當位元 Cs為 1 時，位元控制電路 58A 就能實現圖二 C 中的資料格式轉換了。總括來說，處理器 32A 以轉換控制訊號 40 中的位元 Cs，就能控制子格式轉換電路 F13 是進行圖二 A 或圖二 C 中的資料格式轉換。

根據相同的原理，圖七 B 中的子格式轉換電路 F24，也是以其位元控制電路 58B 中的多工器 62（以及位元 Cs）來實現圖二 B 及圖二 D 中的資料格式轉換；而其中的運算電路 OP2 則用來進行圖二 D 中的邏輯運算 OP，控制位元 C0、C1 則是圖二 B 之資料格式轉換中，要插入至轉換後資料的位元。當位元 Cs為 0 時，子格式轉換電路 F24 能進行圖二 B 中的資料格式轉換，當位元 Cs為 1 時，子格式轉換電路 F24 能



五、發明說明 (16)

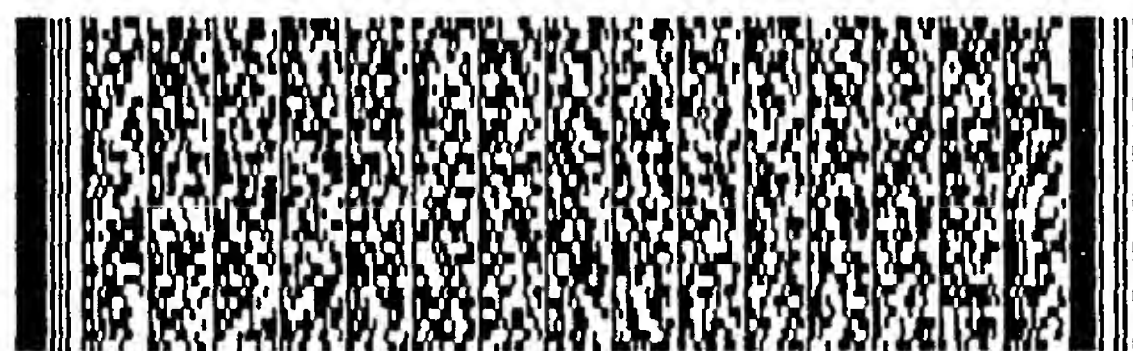
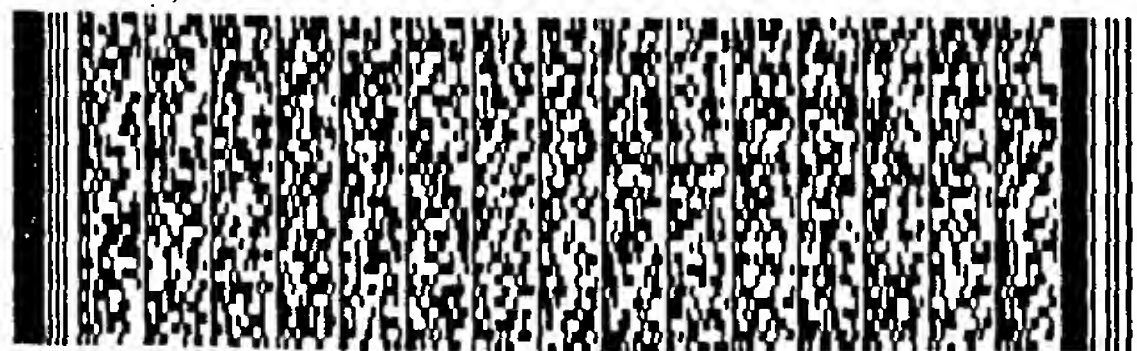
進行圖二 D中的資料格式轉換。至於子格式轉換電路 F24中各輸入單元 50A配合致能訊號 bus_r24、時脈 clk接收待轉換資料、輸出單元 50B配合致能訊號 bus_w24傳輸轉換後資料的工作情形，與前面各個子格式轉換電路原理相同，於此不再贅述。

請參考圖八。圖八為本發明中格式轉換電路另一實施例 42C之電路示意圖。格式轉換電路 42C中，是直接以位元控制電路 60來實現四種資料格式轉換的不同佈線。待轉換資料中的各個位元 A0至 A7，是根據轉換控制訊號 40中的致能訊號 bus_w及時脈 clk，由各輸入單元 50A接收。配合轉換控制訊號 40中的致能訊號 bus_r，則能由各輸出單元 50B將轉換後資料的各個位元 B0至 B9輸出。類似於子格式轉換電路 F13、F24中的配置，位元控制電路 60中也是以多工器 64來將四種資料格式轉換所需的佈線實現於同一位元控制電路 60中。在位元控制電路 60中，每個多工器 64對應於一輸出單元，各多工器 64設有四個分別標示為 0、1、2、3的輸入端，一用來接收一選擇訊號 CNTL的選擇端 64C，以及一連接於對應輸出單元的輸出端。選擇訊號 CNTL可以是兩位元的控制訊號，用來控制各多工器 64要將那一個輸入端的輸入位元傳輸至對應的輸出單元。這樣一來，處理器 32A只要控制選擇訊號 CNTL，就可以控制格式轉換電路 42C要進行何種資料格式轉換。舉例來說，在圖二 A、二 B、二 C及二 D的資料格式轉換中，轉換後資料的位

五、發明說明 (17)

元 B0 分別等於待轉換資料中的位元 A5、A0、A1 及 A0；位元 B0 輸出單元對應之多工器，其標示為 0、1、2、3 的輸入端，就分別用來接收位元 A5、A0、A1、A0。以此類推，位元 B6 在圖二 A 至圖二 D 的四種資料格式轉換中，分別等於位元 A0、A5、不輸出以及位元 A6，所以位元 A6 輸出單元對應多工器 64 標示為 0、1、2、3 的輸入端，就分別用來接收位元 A0、A5、地端 GND 及位元 A6。透過選擇訊號 CNTL 將多工器 64 標示為 0、1、2、3 輸入端接收的輸入位元傳輸至對應的輸出單元，就分別能實現圖二 A 至圖二 D 中的資料格式轉換了。至於位元控制電路 60 中的運算電路 OP3，是用來實現圖二 D 中的邏輯運算 OP；另外位元控制電路 60 也能接收轉換控制訊號 40 中的控制位元 C0、C1，以實現圖二 B 中的資料格式轉換。

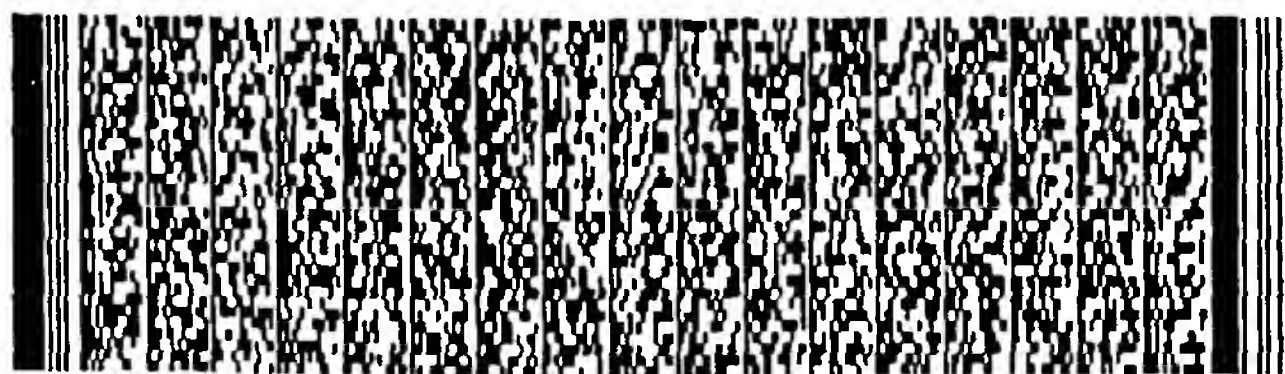
在習知技術的數位通訊系統中，是以微處理器依照指令集程式來進行傳輸率調整層的資料格式轉換。由於微處理器的基本指令無法直接描述資料格式轉換，必須要以繁複的步驟才能完成資料格式轉換，不僅要佔用較多的處理器資源，也會耗費較多的時間，並使資料處理的效率降低，儲存指令集程式也要另外佔用系統中的記憶空間。相比之下，本發明中則是以處理器負責資料緩衝，並特別另設一硬體的資料格式轉換電路，專門用來進行資料格式轉換。在以上的討論中，不論是格式轉換電路 42A、42B 或是 42C，都能以位元控制電路中的佈線來直接實現各種資料



五、發明說明 (18)

格式轉換，能對待轉換資料中的各個位元同步處理，在同一時脈週期中就產生出轉換後資料的各個位元，大幅增加資料格式轉換的效率，也不會佔用處理器資源，更不必儲存資料格式轉換的程式。根據相關數據顯示，本發明中的格式轉換電路能將資料格式轉換所耗用的時間大幅減少百分之九十，足證本發明優於習知技術之處。請注意，為了討論的方便，資料格式轉換的四種型態是以圖二A至圖二D中所示為具體的例子，格式轉換電路42A至42C也是用來實現圖二A至二D中的資料格式轉換；但本發明之技術精神能普遍運用於各種不同的資料格式轉換，並不限於圖二A至圖二D中的例子。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



圖式簡單說明

圖式之簡單說明：

圖一為一典型數位通訊系統的邏輯架構示意圖。

圖二A至圖二D為圖一中不同型態資料格式轉換的示意圖。

圖三為本發明傳輸電路的功能方塊示意圖。

圖四為圖三中格式轉換電路一實施例的電路示意圖。

圖五A至圖五D為圖四中各子格式轉換電路的電路示意圖。

圖六為圖三中格式轉換電路另一實施例的電路示意圖。

圖七A、七B為圖六中各子格式轉換電路的電路示意圖。

圖八為圖三中格式轉換電路又一實施例的電路示意圖。

圖式之符號說明：

| | | | |
|---------|-------------|-----|--------|
| 10 | 數位通訊系統 | 12 | 高層協定 |
| 14 | 實體層 | 16 | 傳輸率調整層 |
| 18 | 無線電頻道 | 20A | 穿透資料 |
| 20B | 傳真資料 | 20C | 非穿透資料 |
| 20D | 指令 | | |
| 22A-22C | 格式轉換/資料緩衝處理 | | |



圖式簡單說明

| | | | |
|--|--------|---------|--------|
| 24 | 格式轉換處理 | 30 | 傳輸電路 |
| 32A | 處理器 | | |
| 32B、42A-42C | | | 格式轉換電路 |
| 34 | 匯流排 | 36A | 輸入資料 |
| 36B | 輸出資料 | 38A | 待轉換資料 |
| 38B | 轉換後資料 | 40 | 轉換控制訊號 |
| 40C | 控制資料 | 46A-46D | 解碼器 |
| 50A | 輸入單元 | 50B | 輸出單元 |
| 52 | 正反器 | 52T | 時脈端 |
| 54、62 | 多工器 | 54C、62C | 選擇端 |
| 56A-56D、58A、58B、60 | | | 位元控制電路 |
| 58 | 位元傳輸電路 | A、B | 資料 |
| CNTL | 選擇訊號 | C0、C1 | 控制位元 |
| OP | 邏輯運算 | | |
| A0-A7、B0-B9、Cr0-Cr2、Cw0-Cw2、Cs | | | 位元 |
| F1-F4、F13、F24子 | | | 格式轉換電路 |
| OP1-OP3 | 運算電路 | | |
| bus_r1-bus_r4、bus_w1-bus_w4、bus_r13、bus_r24、 | | | |
| bus_w13、bus_w24、bus_r、bus_w | | | 致能訊號 |



六、申請專利範圍

1. 一種傳輸電路，用來以單位時間第一數量個位元的傳輸率接收一輸入資料，並可根據該輸入訊號以單位時間異於該第一數量的第二數量個位元的傳輸率輸出一輸出資料；該傳輸電路包含有：

一處理器，用來控制該傳輸電路的運作，其中該處理器可接收該輸入資料並對應地產生一具有複數個位元的第一資料；以及

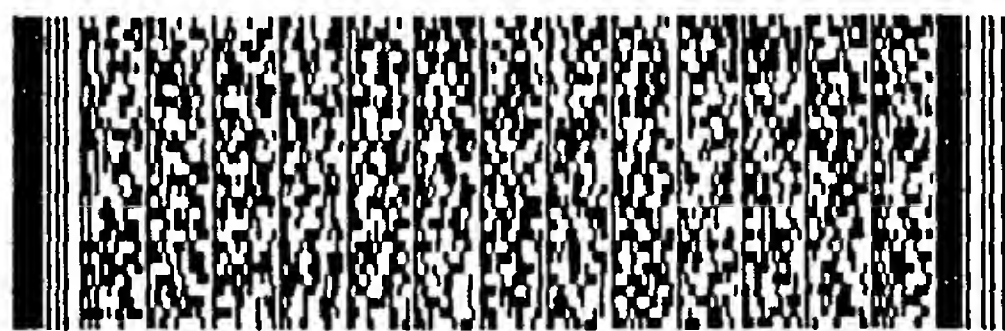
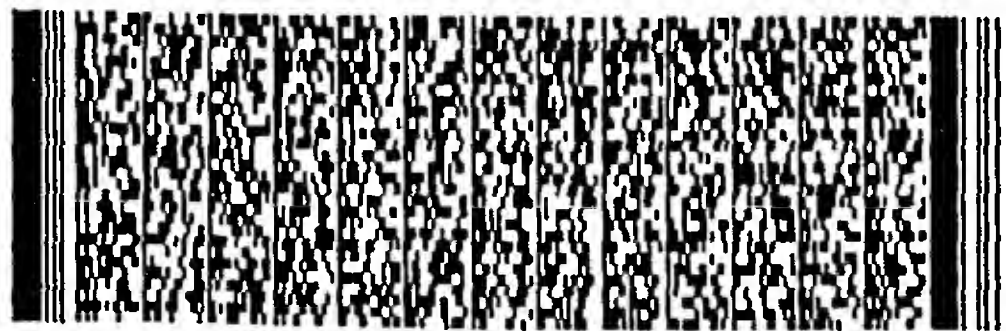
一格式轉換電路，電連接於該處理器，用來根據該第一資料產生一具有複數個位元的第二資料，該格式轉換電路包含有：

複數個輸入單元，各輸入單元用來接收該第一資料的一個位元；

複數個輸出單元，各輸出單元接收一位元後，可將該位元輸出以做為該第二資料中的一位元；以及

一位元控制電路，電連於該等輸入單元及該等輸出單元之間，用來根據該等輸入單元接收的位元產生該等以輸出單元的傳輸的位元；其中該位元控制電路可將一輸入單元接收的位元以不經過其他輸入單元及其他輸出單元的方式傳輸至一輸出單元，而在該輸入單元接收的位元與該第一資料的首要位元 (MSB, Most Significant Bit) 之間的位元數目，以及該輸出單元傳輸的位元與該第二資料的首要位元之間的位元數目，兩位元數目係實質相異；

而該處理器另可根據該第二資料依序產生該輸出資料。



六、申請專利範圍

2. 如申請專利範圍第1項之傳輸電路，其中該處理器另可將該第一資料或該第二資料緩衝處理，以根據該第二資料將該輸出資料以每單位時間第二數量個位元的傳輸率輸出。

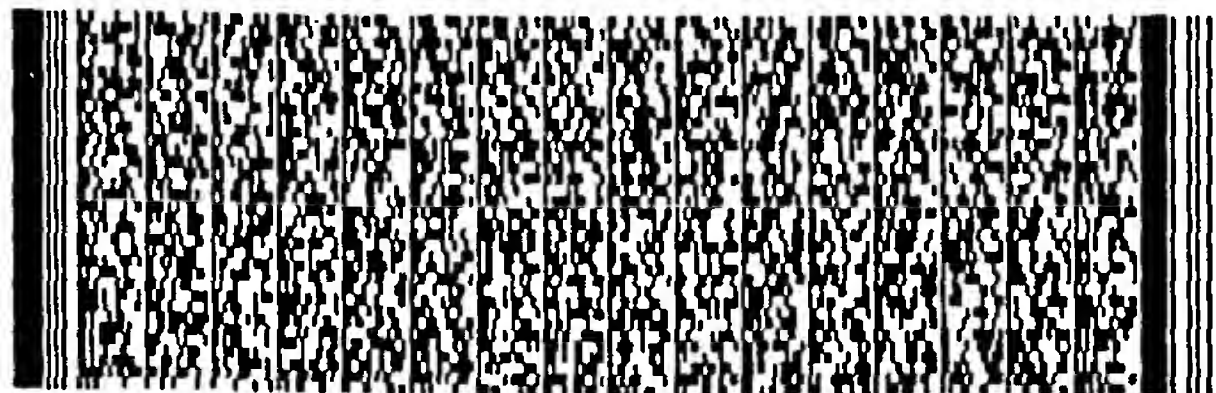
3. 如申請專利範圍第1項之傳輸電路，其中該位元控制電路包含有一運算電路，電連於該等輸入單元及該等輸出單元之間，用來依照一預設的法則將該等輸入單元接收的位元進行邏輯運算以產生該等輸出單元傳輸的位元。

4. 如申請專利範圍第1項之傳輸電路，其中該位元控制電路包含有一位元傳輸電路，用來將一預設位元的資料傳輸至一輸出單元。

5. 如申請專利範圍第1項之傳輸電路，其中該位元控制電路可同時將兩個不同輸入單元接收的位元分別傳輸至兩個不同的輸出單元。

6. 如申請專利範圍第1項之傳輸電路，其另包含有一匯流排，連接於該處理器及該格式轉換電路之間，用來傳輸該處理器及該格式轉換電路間往來的資料。

7. 一種實現數位通訊系統中傳輸率調整層功能的電路，該電路可接收具有一第一傳輸率的輸入資料、並依據該輸



六、申請專利範圍

入資料輸出具有一第二傳輸率的輸出資料，該電路包含：
一處理器，用來控制該電路的運作，該處理器可接收該輸入資料並對應地產生一具有複數個位元的第二資料；以及
一格式轉換電路，電連接於該處理器，用來根據該第一資料以及來自該處理器之一轉換控制訊號，以形成一第二資料並回傳至該處理器；

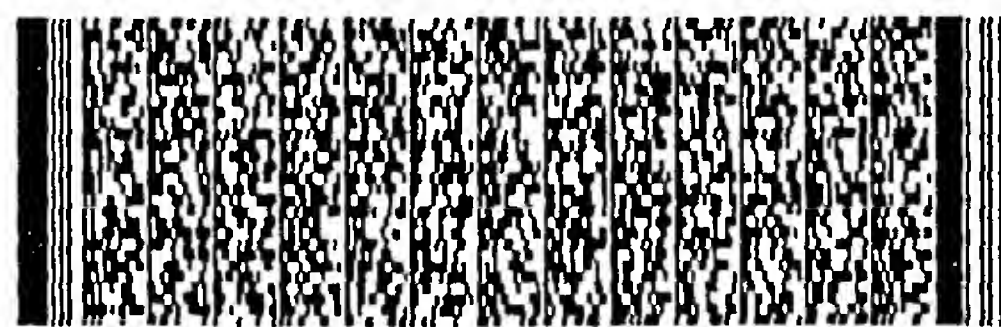
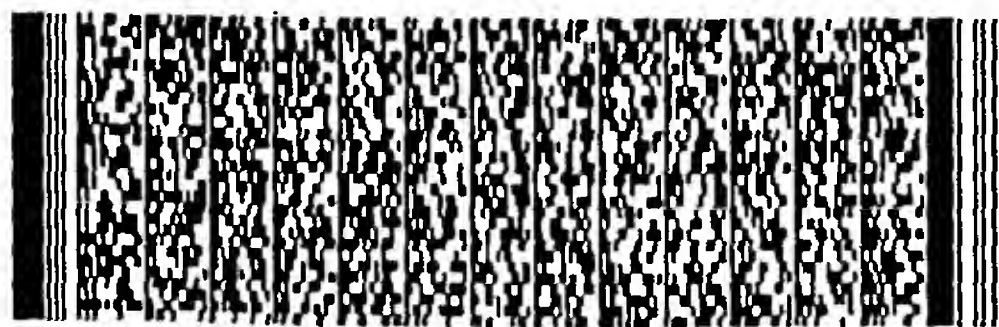
其中該處理器根據該第二資料以輸出該具有第二傳輸率的輸出訊號。

8. 如申請專利範圍第7項之電路，其中該該格式轉換電路包含有：

複數個輸入單元，各輸入單元用來接收該第一資料的一個位元；

複數個輸出單元，各輸出單元接收一位元後，可將該位元輸出以做為該第二資料中的一位元；以及

一位元控制電路，電連於該等輸入單元及該等輸出單元之間，用來根據該等輸入單元接收的位元產生該等以輸出單元的傳輸的位元；其中該位元控制電路可將一輸入單元接收的位元以不經過其他輸入單元及其他輸出單元的方式傳輸至一輸出單元，而在該輸入單元接收的位元與該第一資料的首要位元 (MSB, Most Significant Bit) 之間的位元數目，以及該輸出單元傳輸的位元與該第二資料的首要位元之間的位元數目，兩位元數目係實質相異。



六、申請專利範圍

9. 如申請專利範圍第 7 項或第 8 項之電路，其中該處理器另可將該第一資料或該第二資料緩衝處理，以根據該第二資料將該輸出資料以該第二傳輸率輸出。

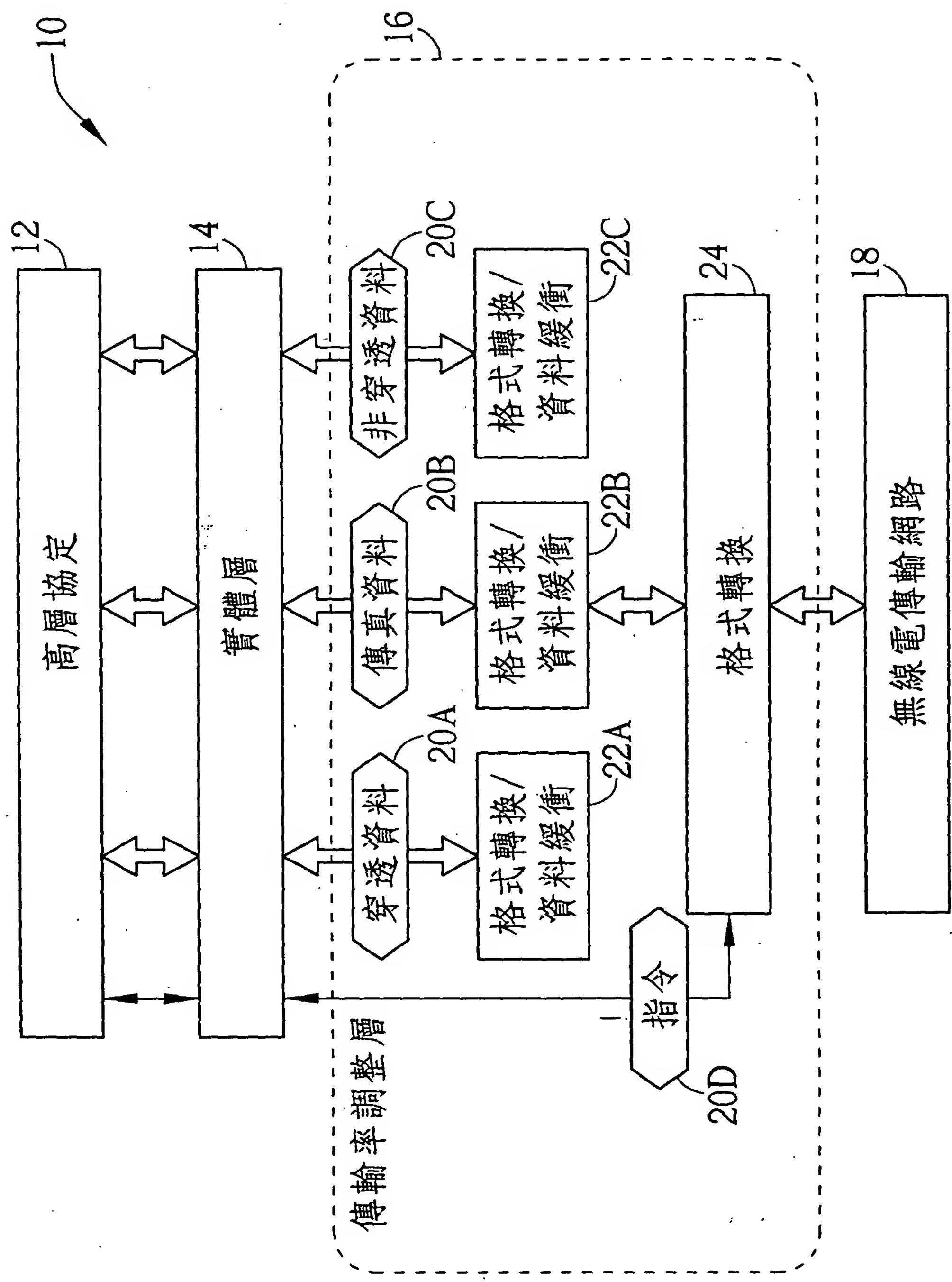
10. 如申請專利範圍第 7 項或第 8 項之傳輸電路，其另包含有一匯流排，連接於該處理器及該格式轉換電路之間，用來傳輸該處理器及該格式轉換電路間往來的資料。

11. 如申請專利範圍第 8 項之電路，其中該位元控制電路包含有一運算電路，電連於該等輸入單元及該等輸出單元之間，用來依照一預設的法則將該等輸入單元接收的位元進行邏輯運算以產生該等輸出單元傳輸的位元。

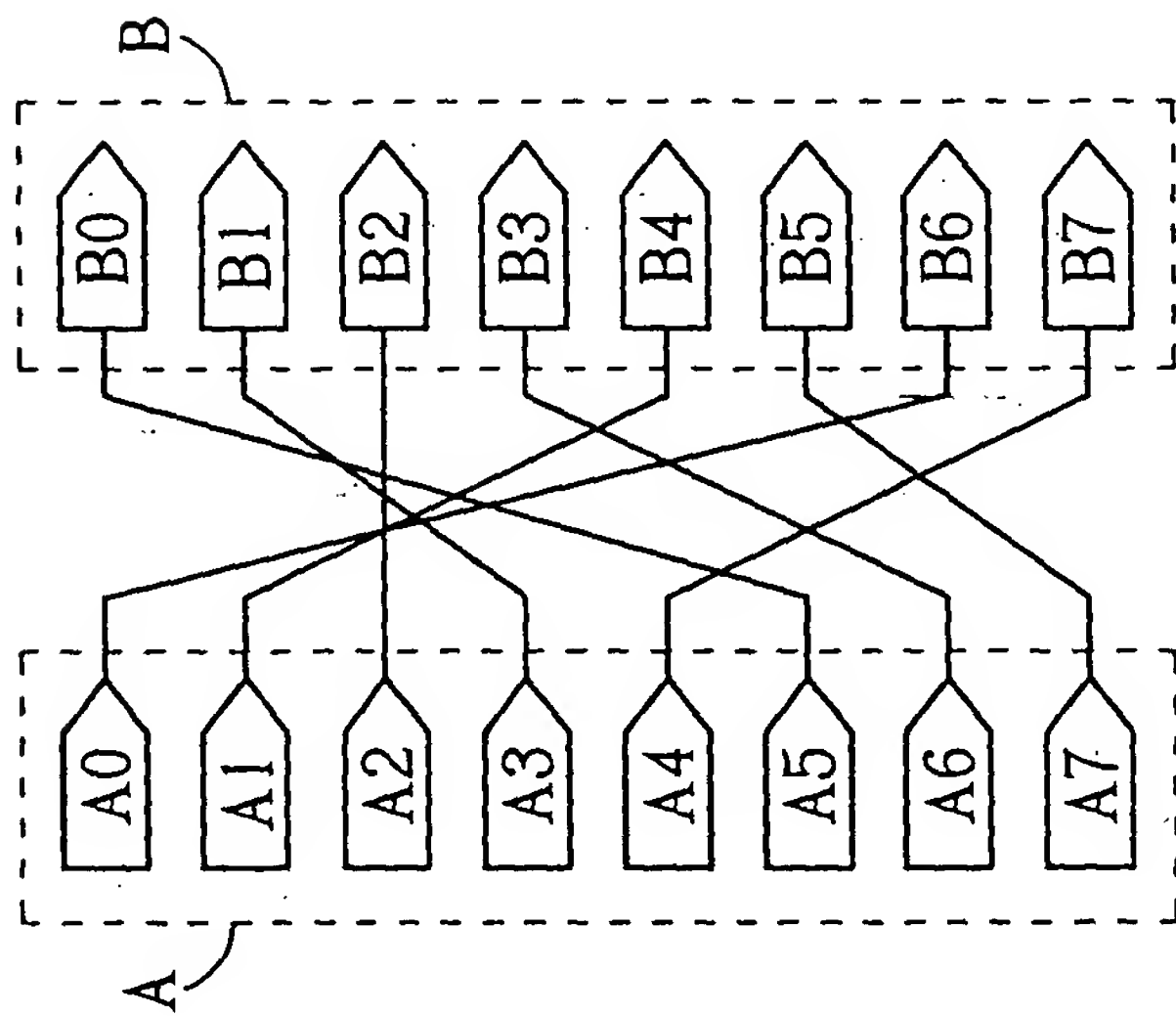
12. 如申請專利範圍第 8 項之電路，其中該位元控制電路包含有一位元傳輸電路，用來將一預設位元的資料傳輸至一輸出單元。

13. 如申請專利範圍第 8 項之電路，其中該位元控制電路可同時將兩個不同輸入單元接收的位元分別傳輸至兩個不同的輸出單元。

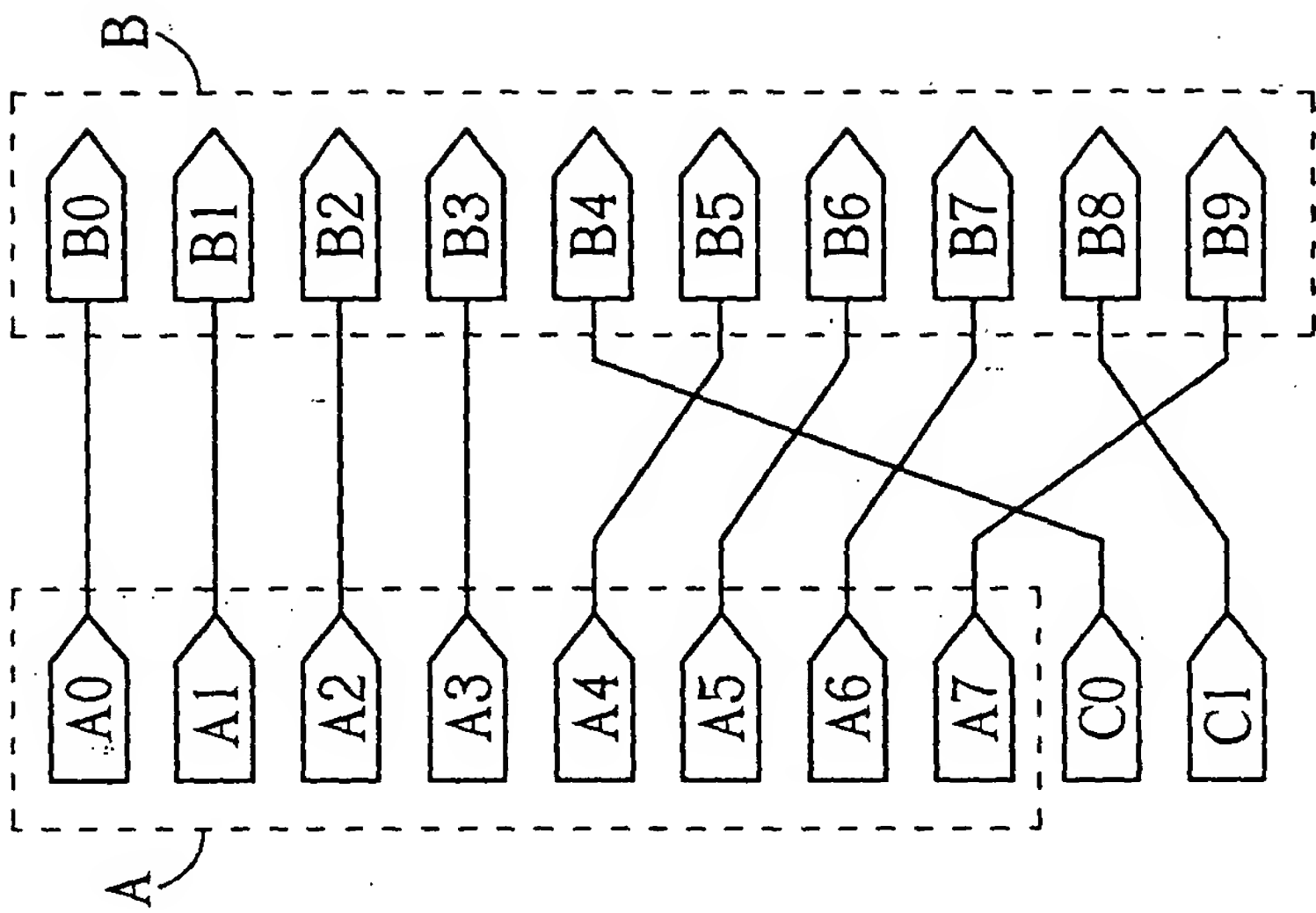




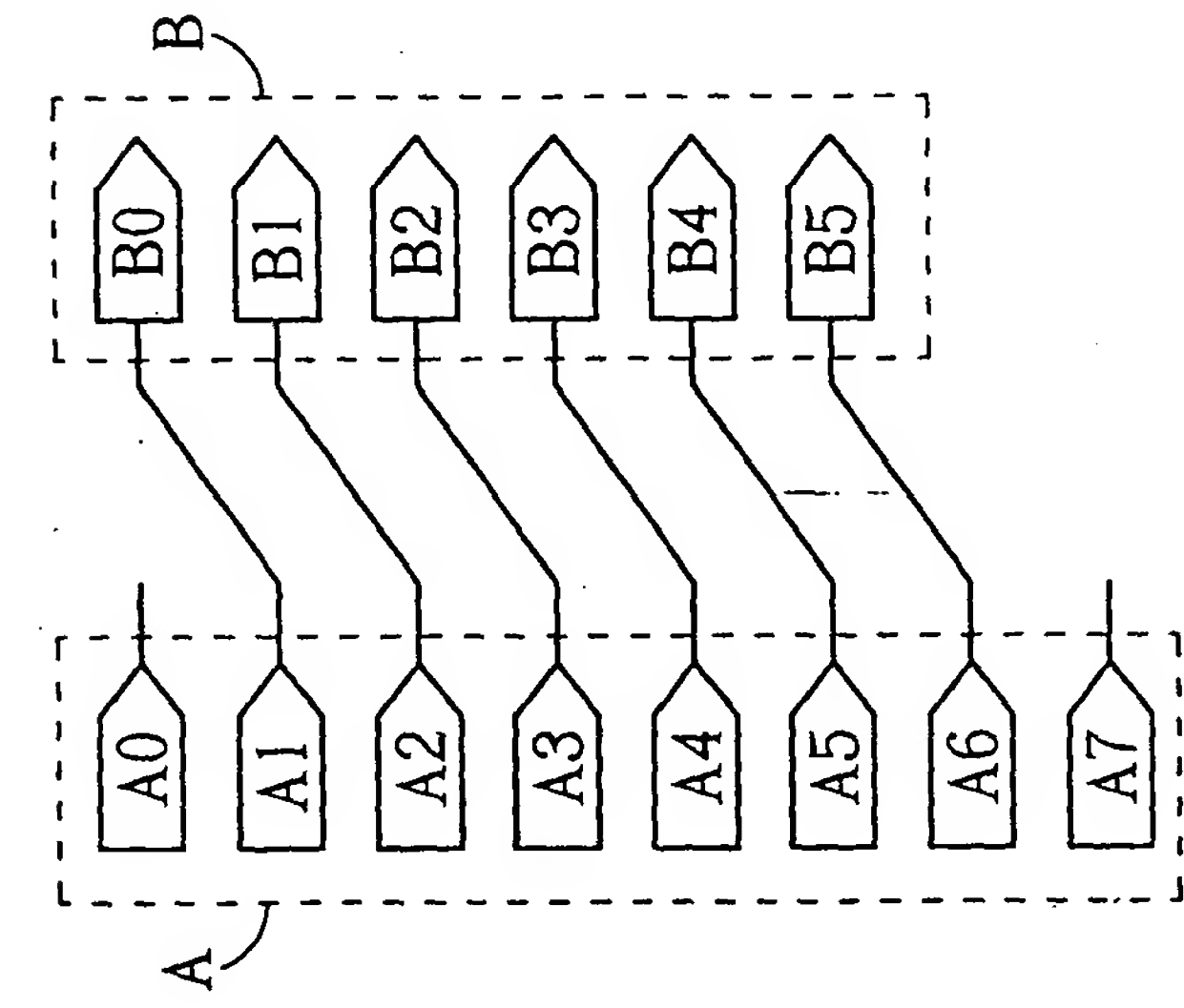
圖一



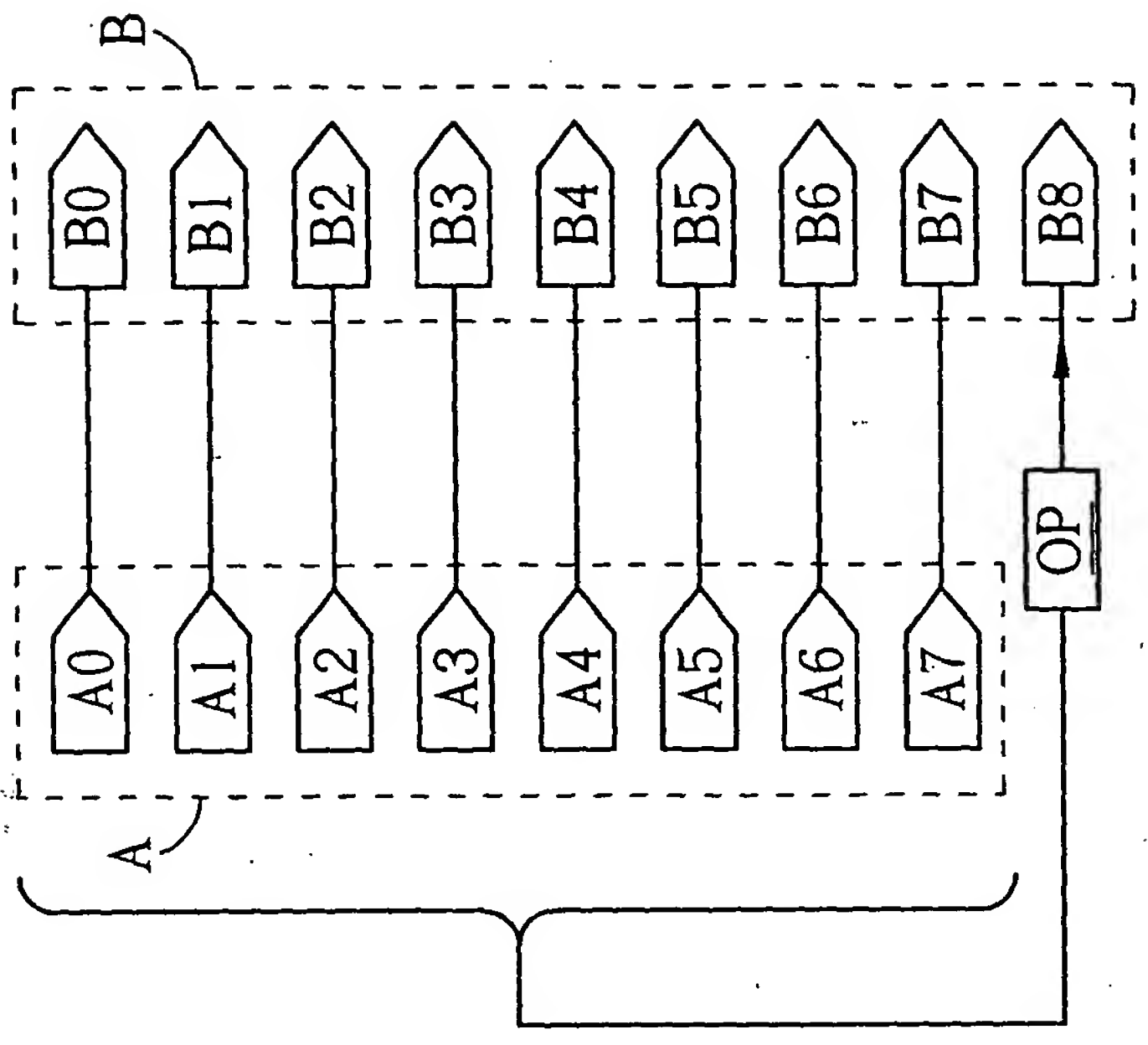
圖二A



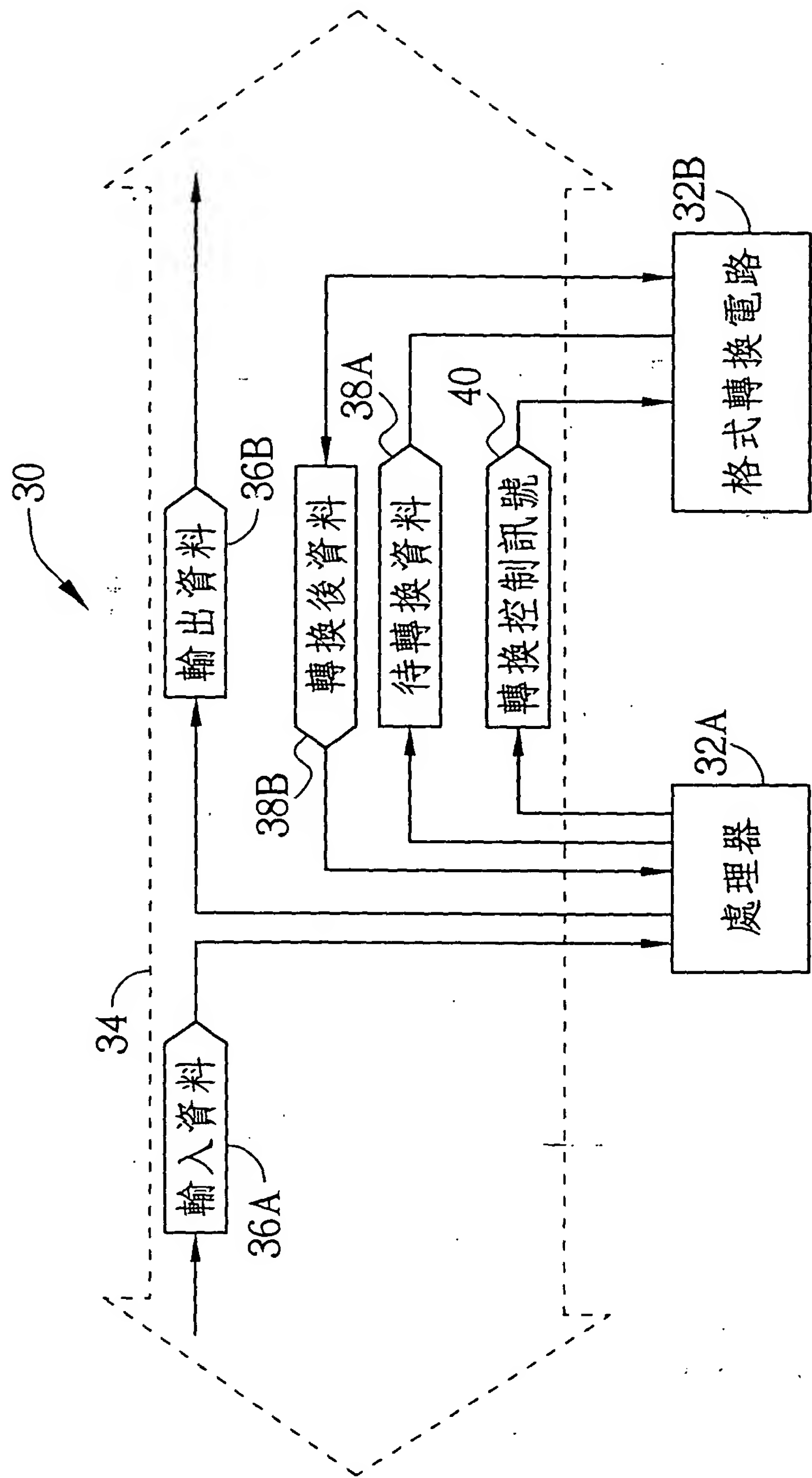
圖二B



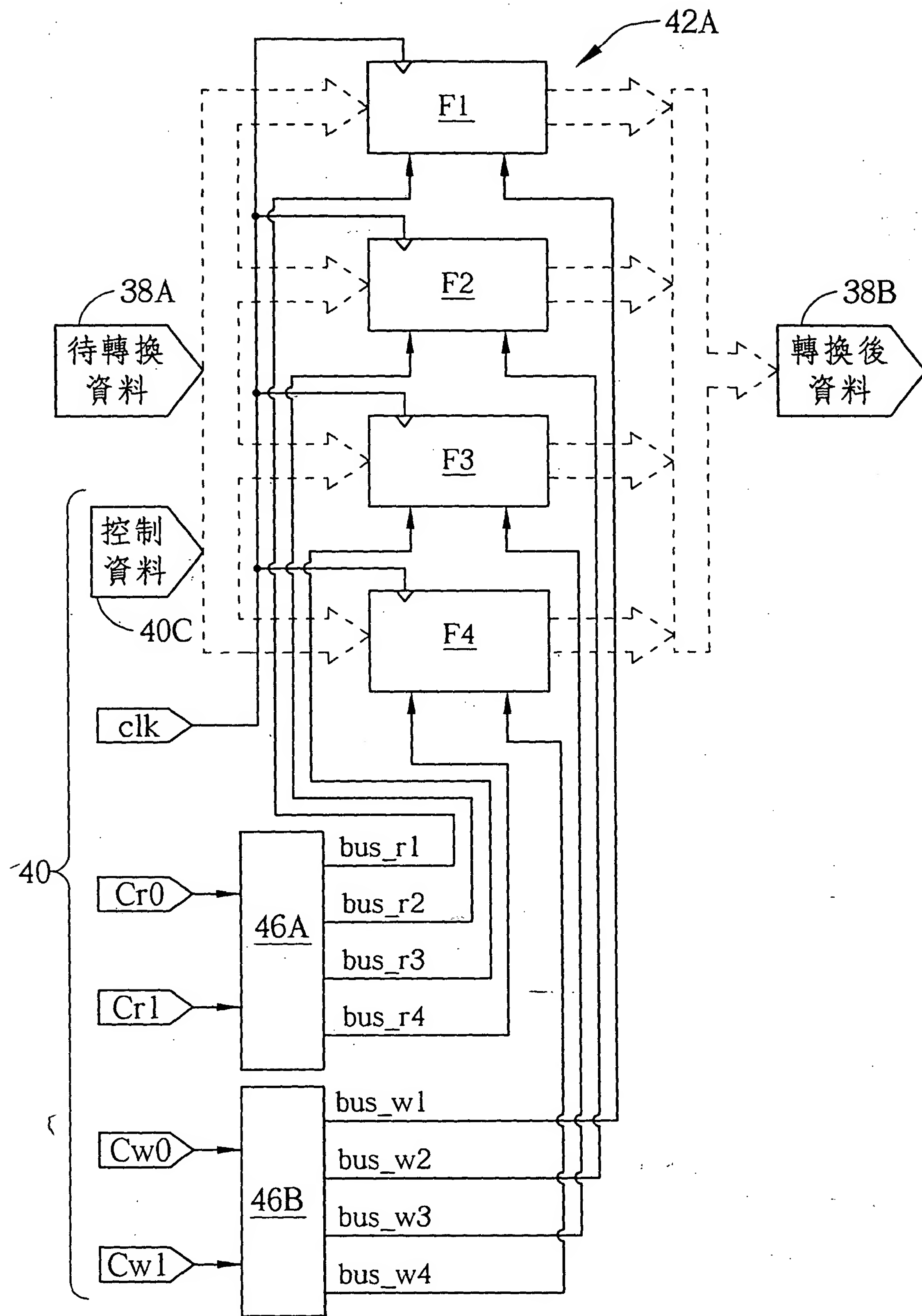
圖二C



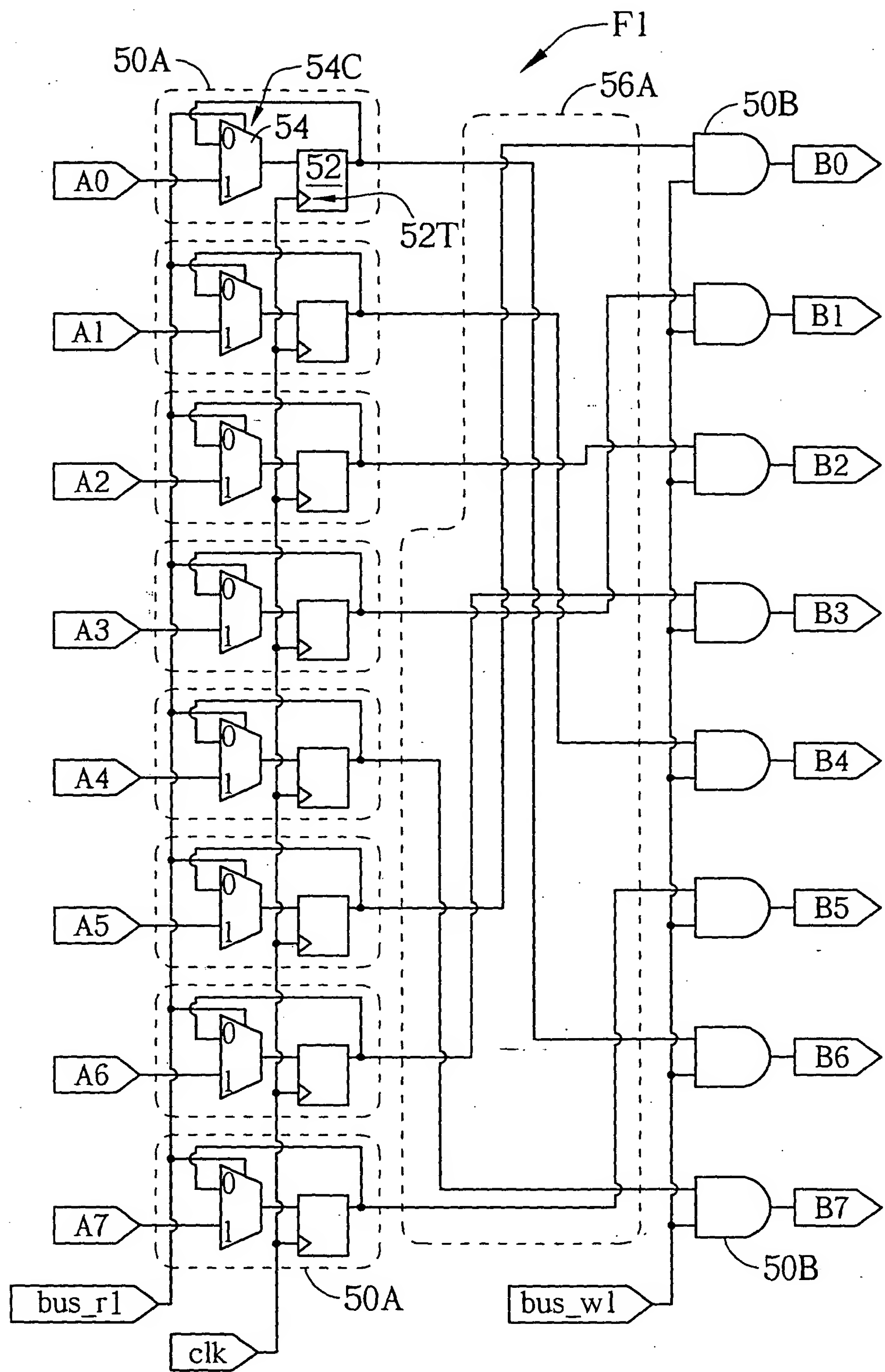
圖二D



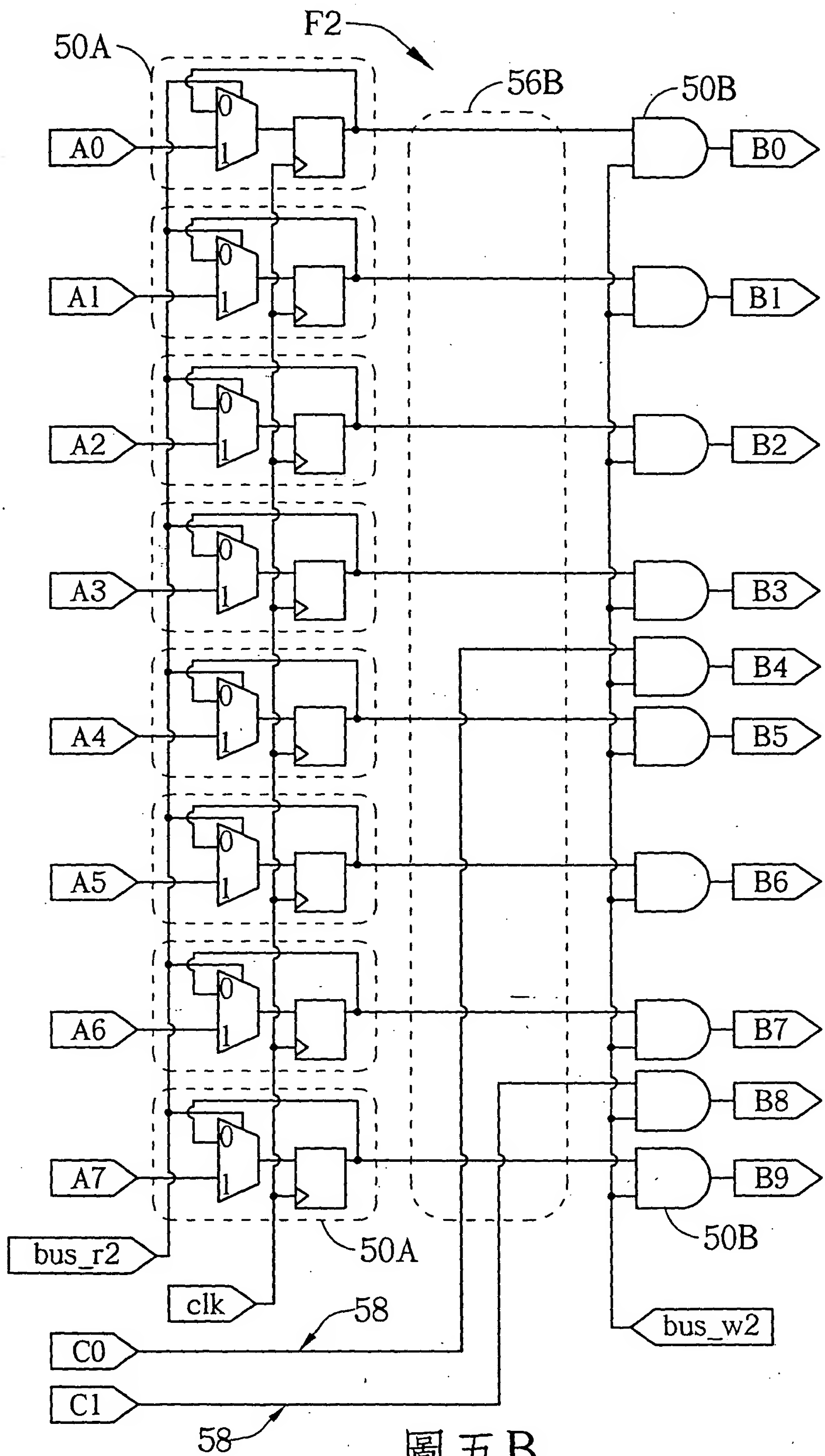
圖三



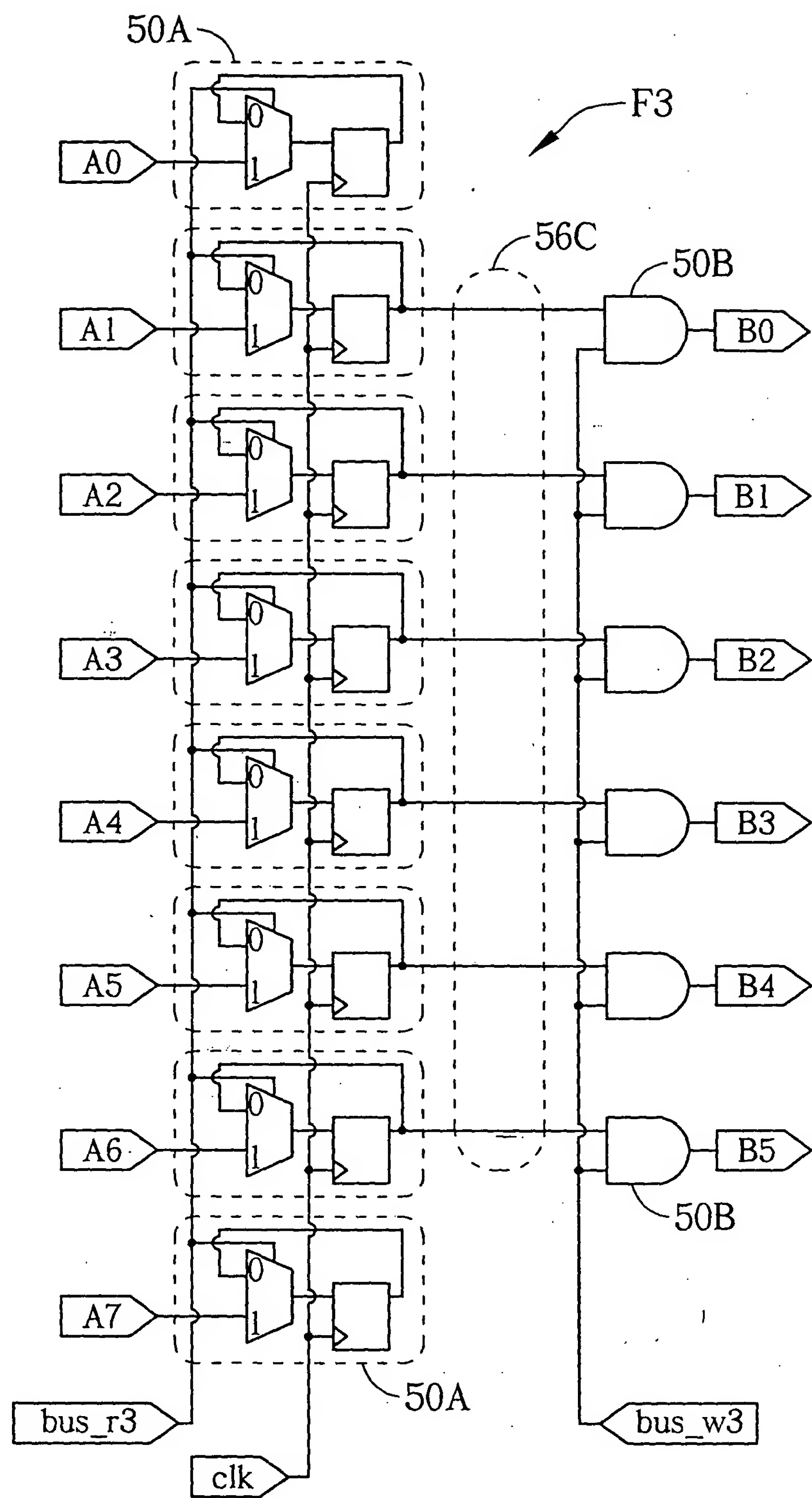
圖四



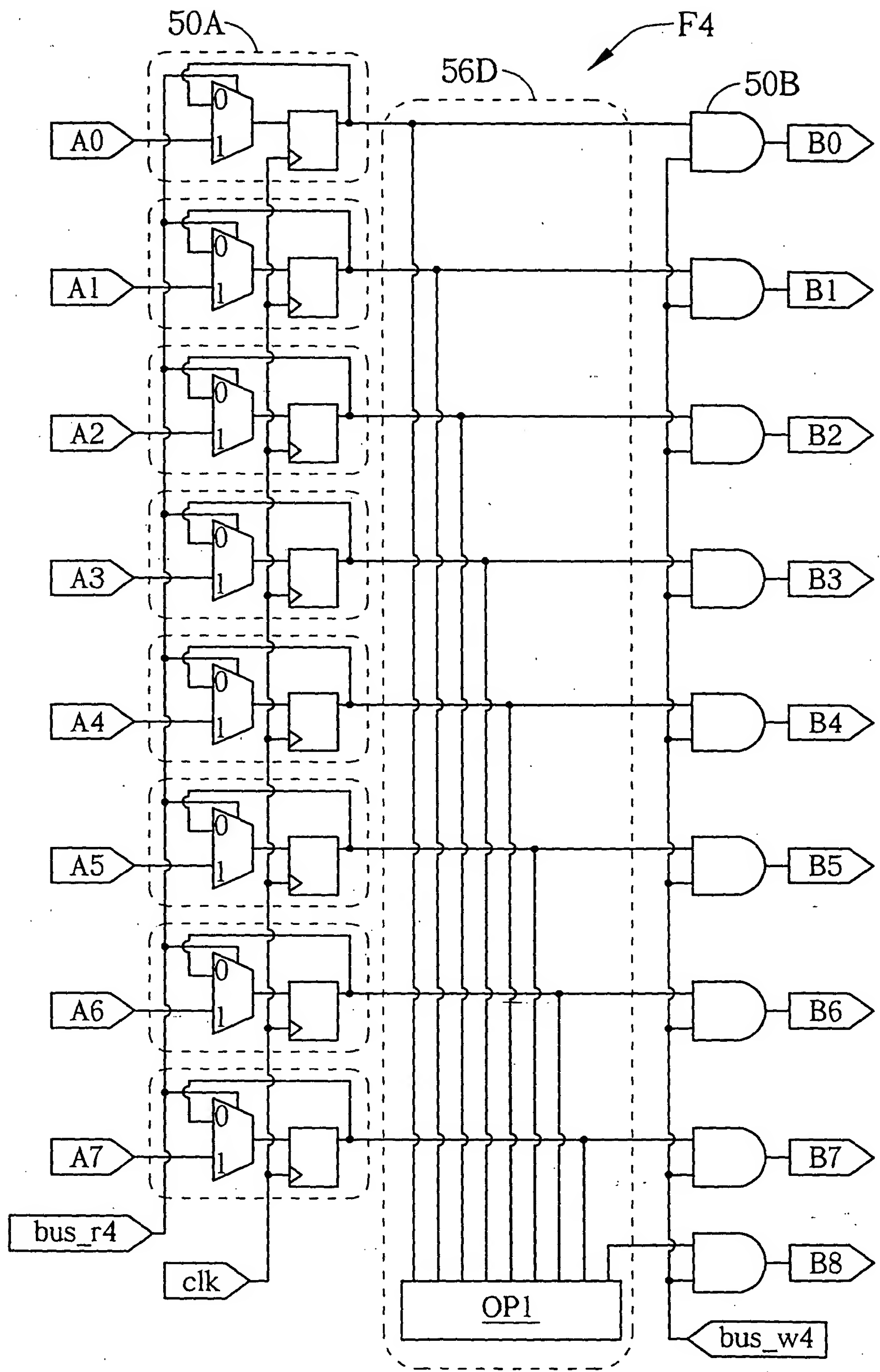
圖五A



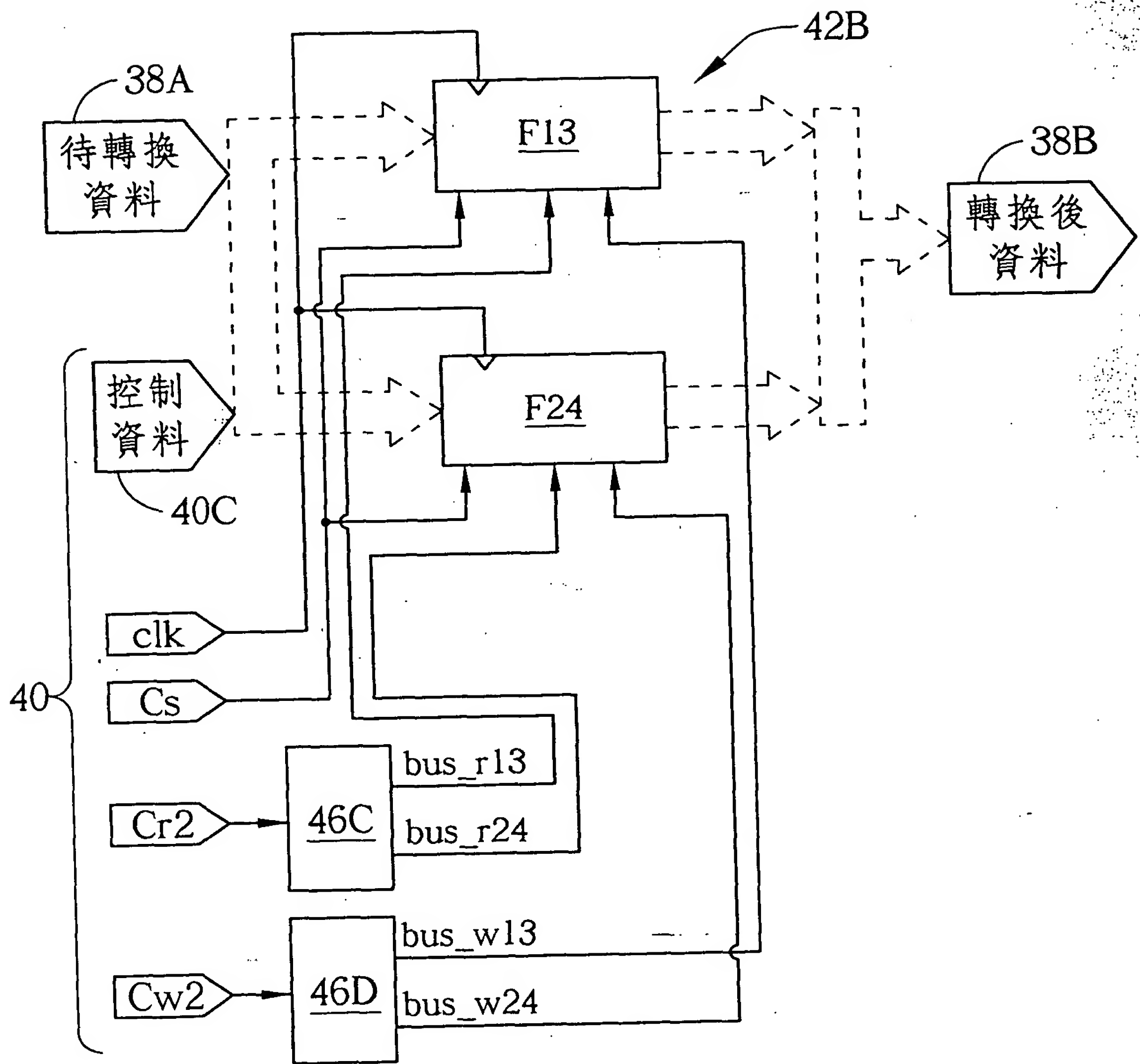
圖五B



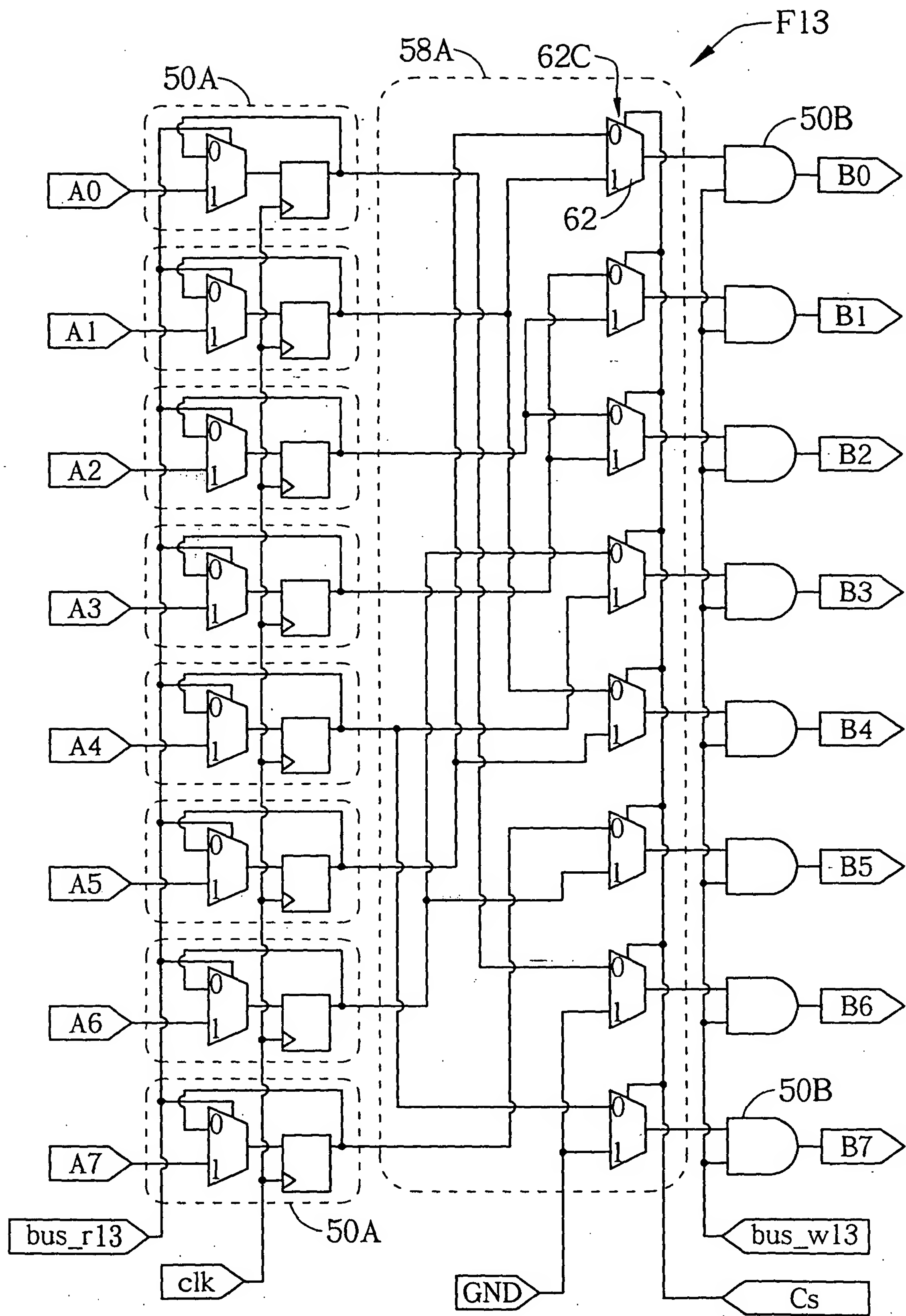
圖五C



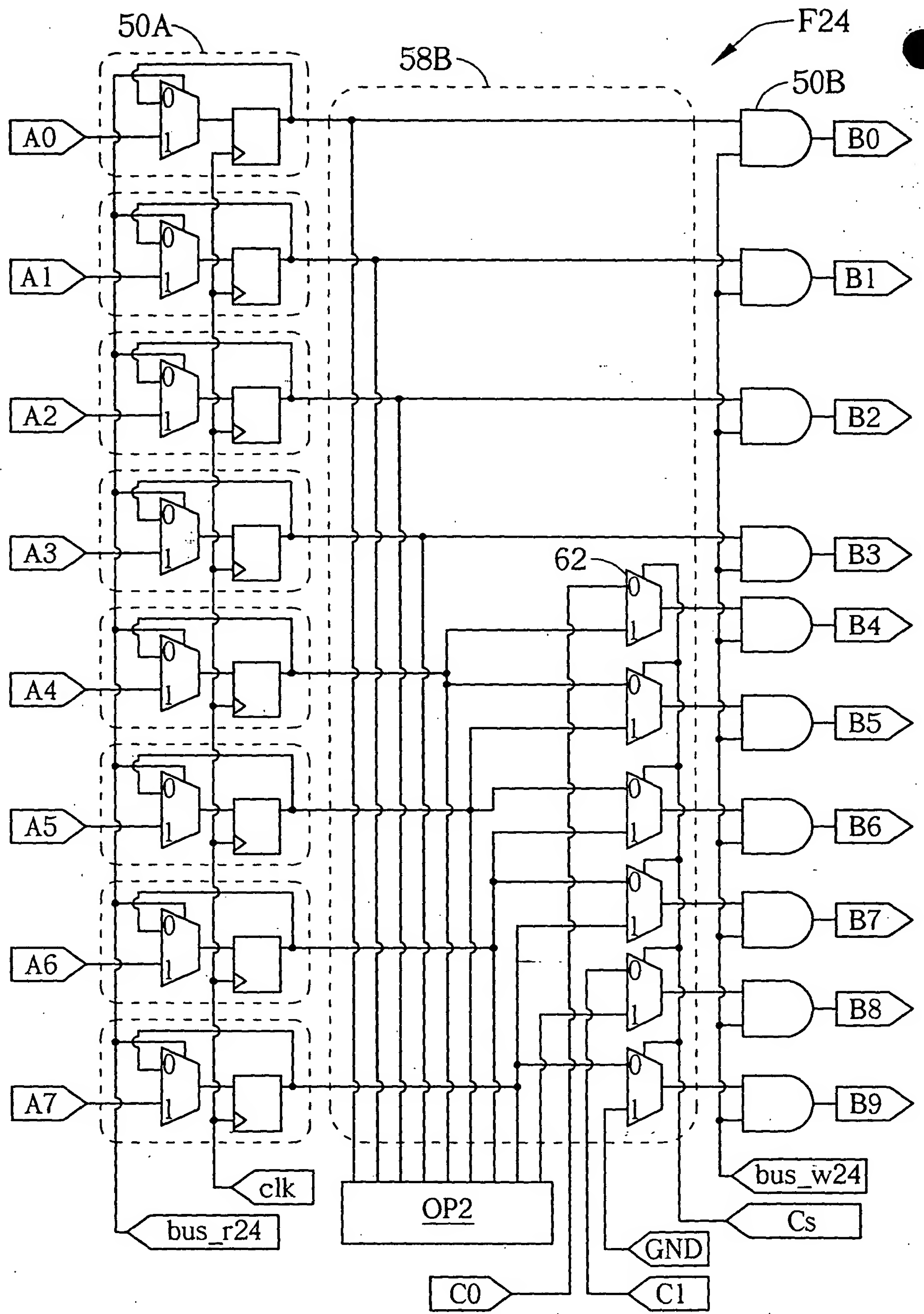
圖五D



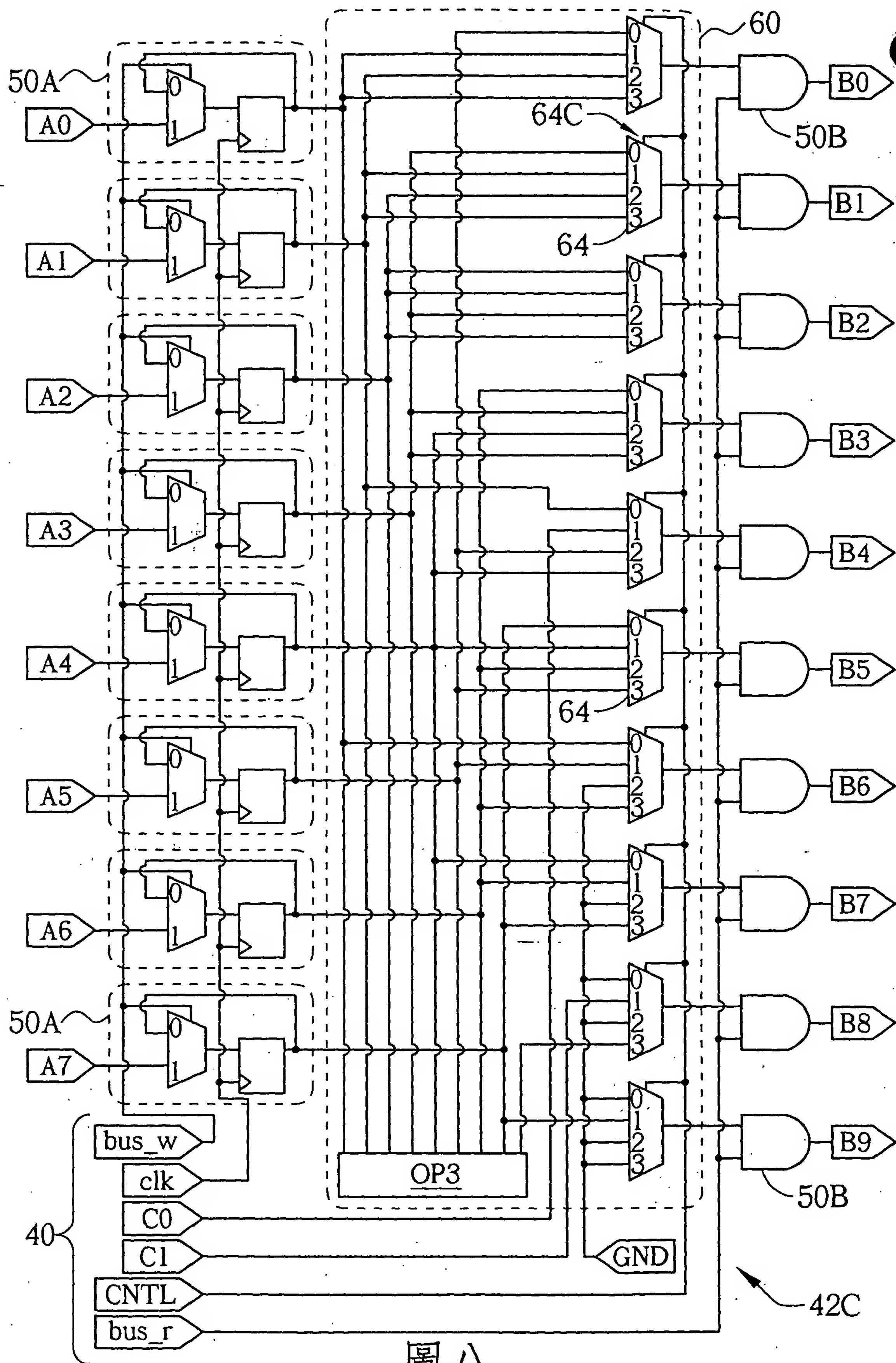
圖六



圖七A



圖七B



圖八

第 1/28 頁



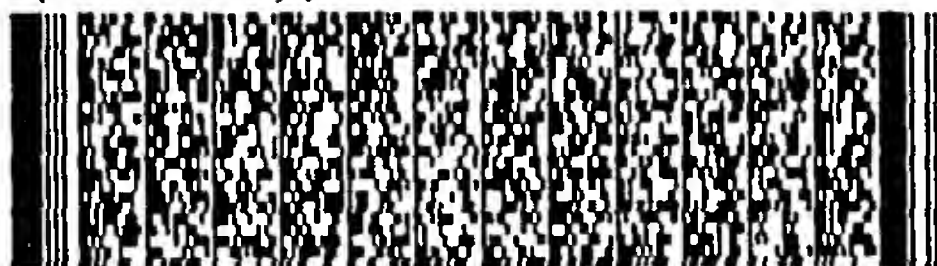
第 2/28 頁



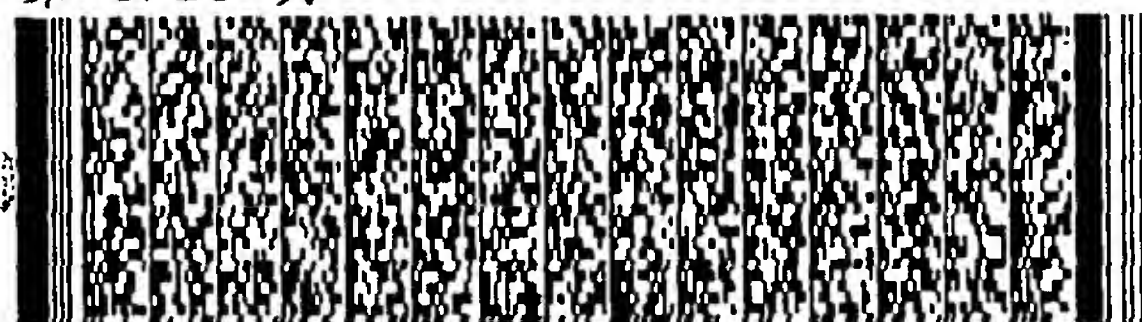
第 2/28 頁



第 3/28 頁



第 5/28 頁



第 5/28 頁



第 6/28 頁



第 6/28 頁



第 7/28 頁



第 7/28 頁



第 8/28 頁



第 8/28 頁



第 9/28 頁



第 9/28 頁



第 10/28 頁



第 10/28 頁



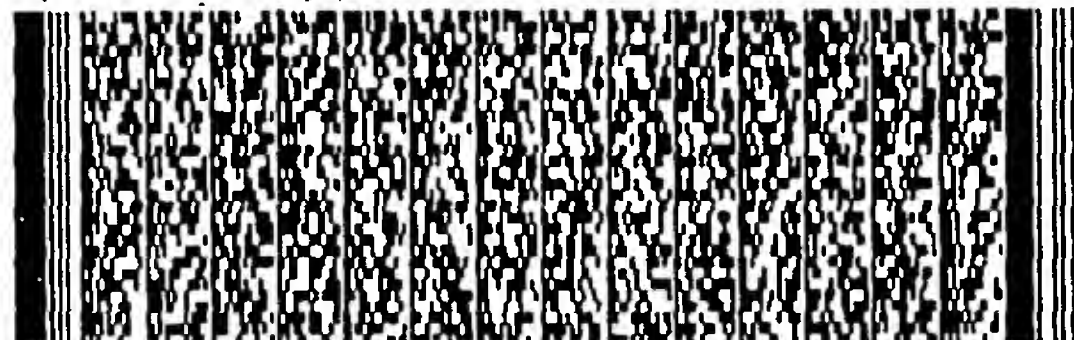
第 11/28 頁



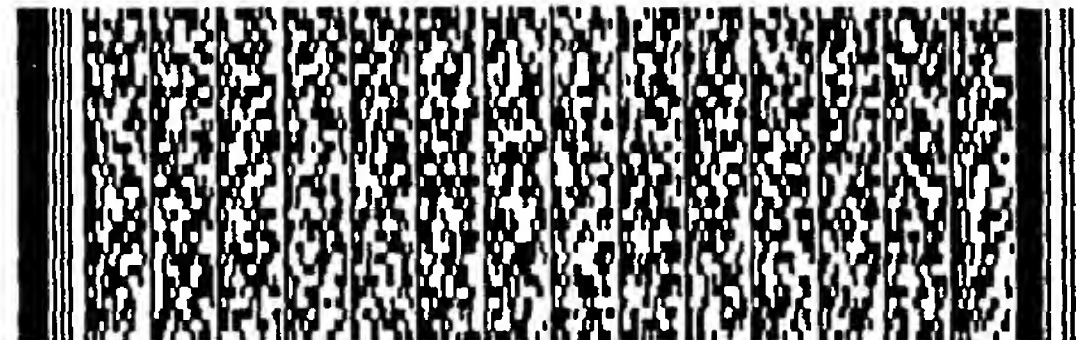
第 11/28 頁



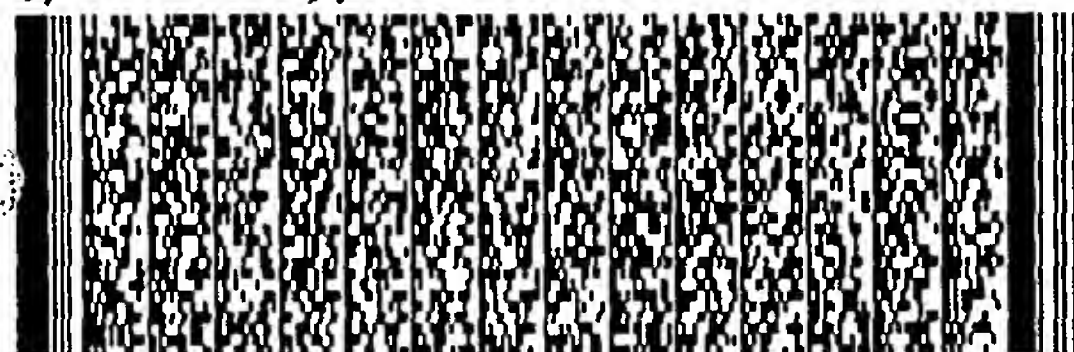
第 12/28 頁



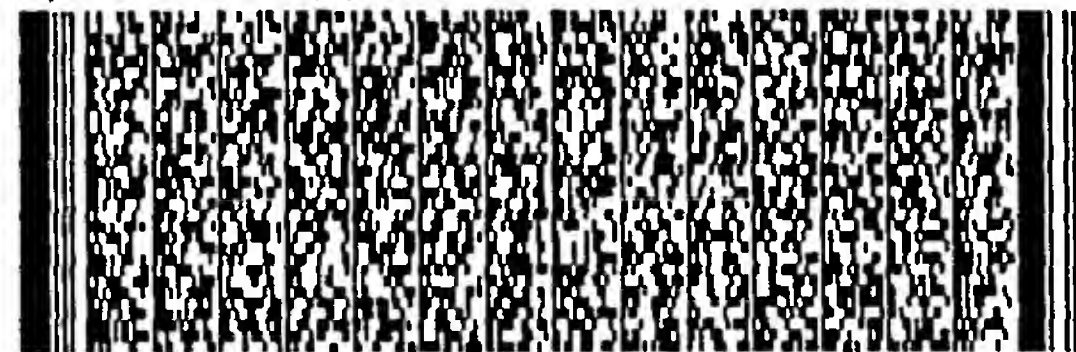
第 12/28 頁



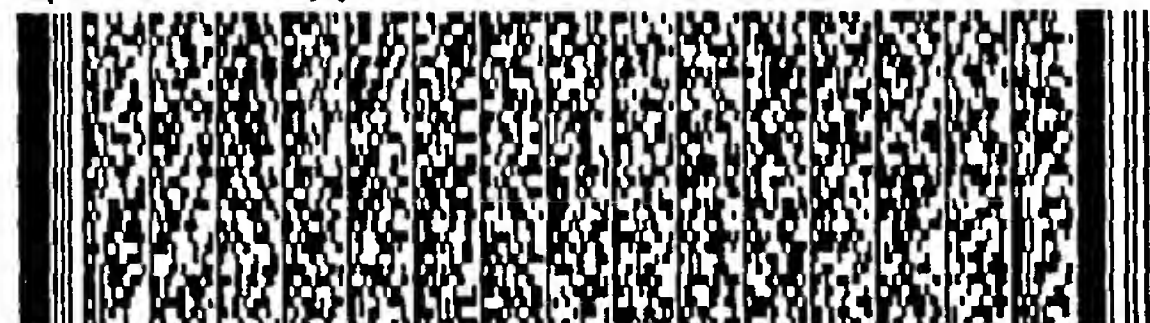
第 13/28 頁



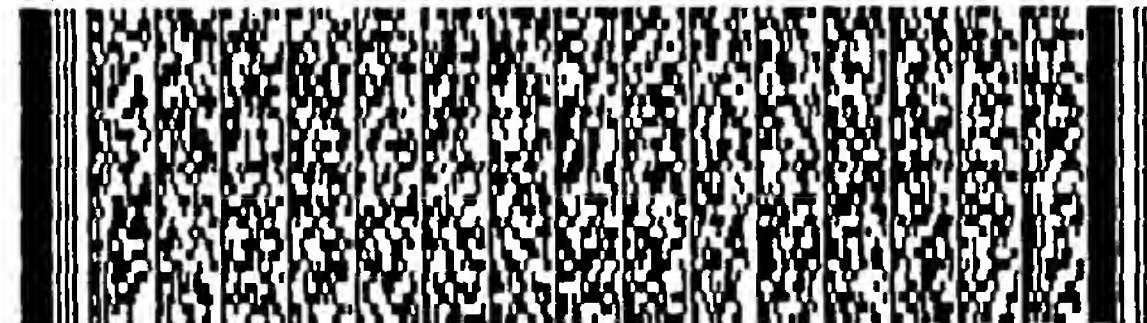
第 13/28 頁



第 14/28 頁



第 14/28 頁



第 15/28 頁



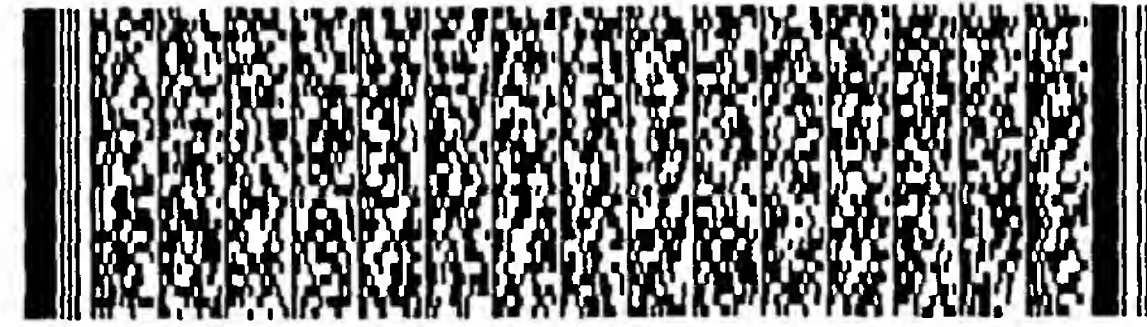
第 15/28 頁



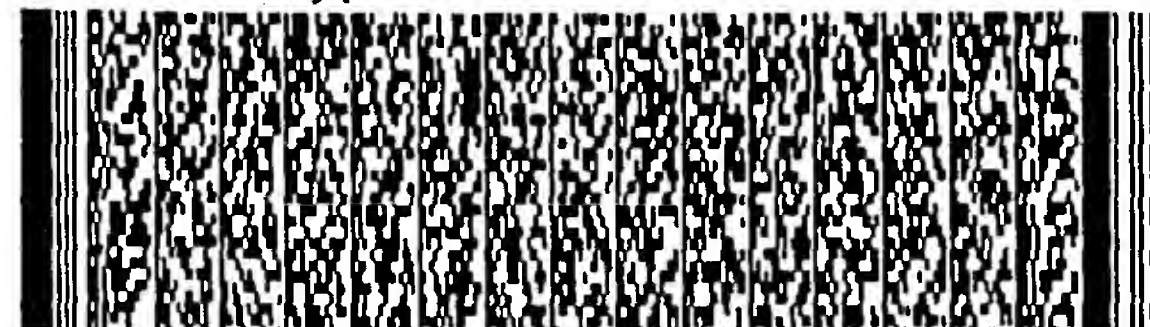
第 16/28 頁



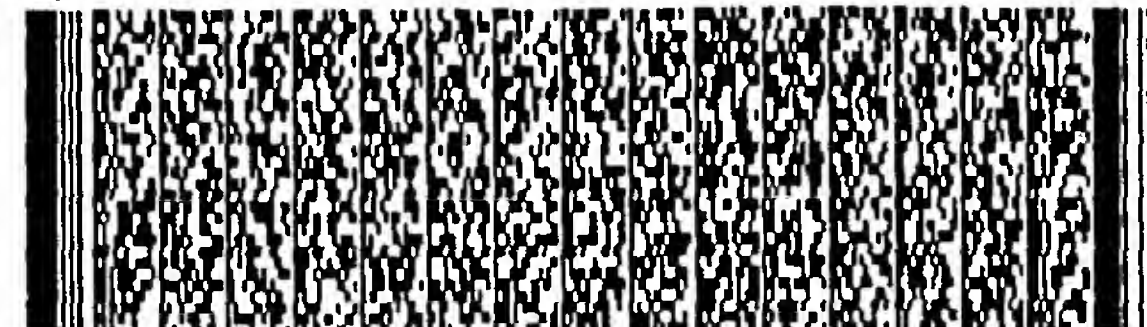
第 16/28 頁



第 17/28 頁



第 17/28 頁



第 18/28 頁



第 18/28 頁



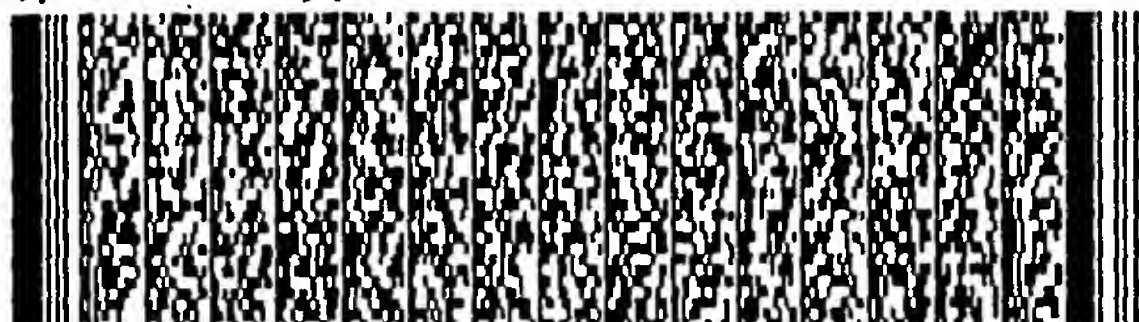
第 19/28 頁



第 19/28 頁



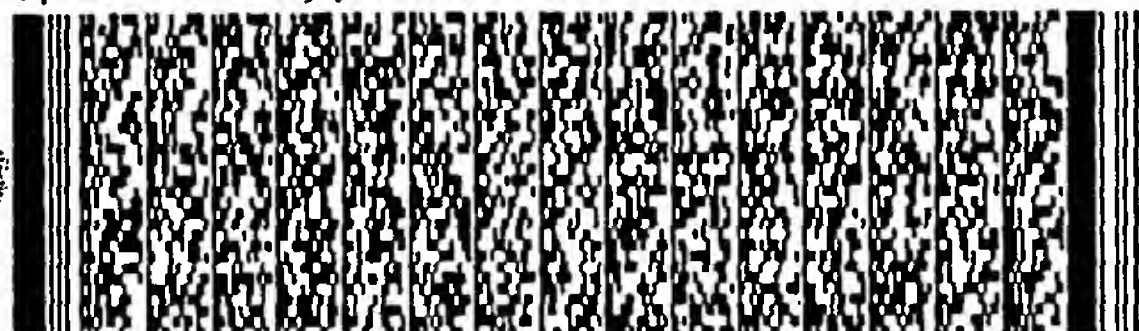
第 20/28 頁



第 20/28 頁



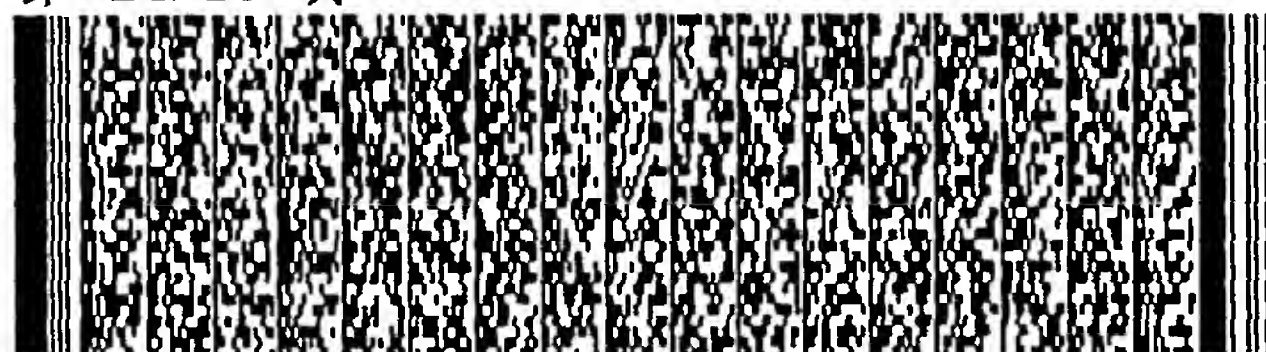
第 21/28 頁



第 21/28 頁



第 22/28 頁



第 23/28 頁



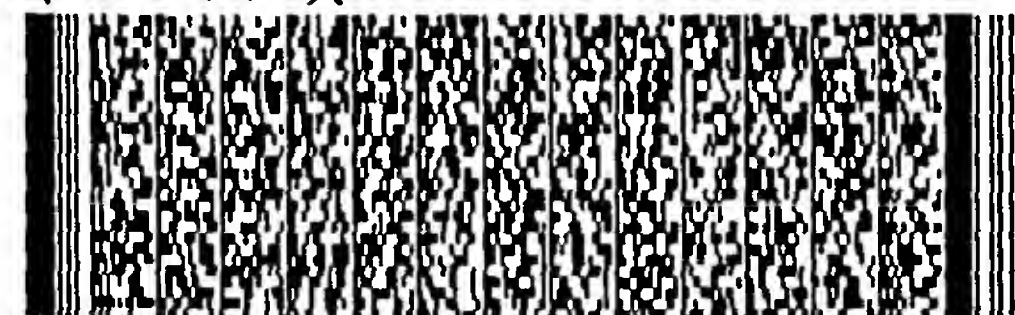
第 24/28 頁



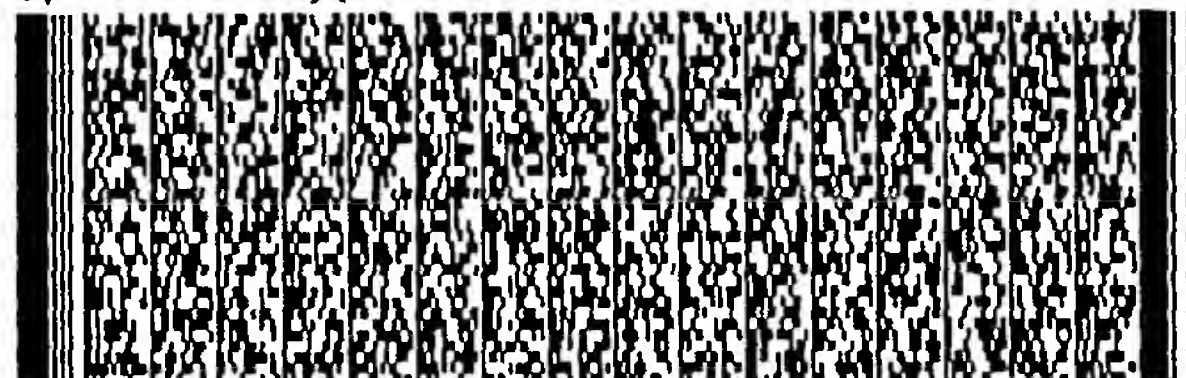
第 25/28 頁



第 25/28 頁



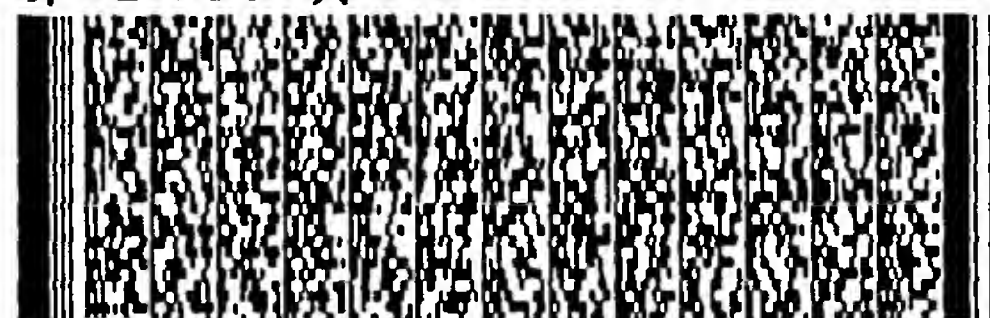
第 26/28 頁



第 27/28 頁



第 27/28 頁



第 28/28 頁

